

ML60852A

USB1.1 デバイスコントローラ LSI

■ 概要

ML60852A は、Universal Serial Bus(USB)汎用デバイスコントローラです。USB シリアル・インタフェース・エンジン、USB トランシーバ、FIFO 群、コントロール/ステータス・レジスタ群、アプリケーション・インタフェース回路、発振回路を含み、容易に USB システムを実現することを可能にします。

データ転送モードは、コントロール転送、バルク転送、インタラプト転送、およびアイソクロナス転送をサポートし、5個あるいは6個のエンドポイントをサポートします。

■ 特長

USB1.1 準拠

Full-speed(12Mbps)に対応

4つのデータ転送タイプに対応、

コントロール転送、バルク転送、

インタラプト転送、アイソクロナス転送

エンドポイント:5個あるいは6個

コントロール EP 1個

バルク/インタラプト EP 3個

アイソクロナス/バルク/

インタラプト EP 1個あるいは2個

データ格納用 FIFO 内蔵

EP1、EP2、EP4、EP5のFIFOは2面構成

DMA 転送可能(EP1,EP2,EP4,EP5)

バスパワーデバイス対応

サスペンド条件を自動検出し、低電力モード

に入ります。またレジューム条件を検出すると正常動作に自動復帰します。

USB トランシーバ回路内蔵

Ta=-20 ~ +80

VDD=3.0 ~ 3.6V

5V系回路とのインタフェース可能

(入力5Vトレラント、出力TTL)

12MHz/6MHz 発振回路内蔵

44ピン QFP/TQFP

56ピン LGA

● エンドポイントの構成と FIFO

ML60852A は、レジスタへの設定によって、EP を 5 個有する 5EP モードと、EP を 6 個有する 6EP モードを選択することができます。EP0 は使用できる転送モードが固定ですが、EP1、EP2、EP3 はバルク転送とインタラプト転送のうちからいずれかを選択可能であり、EP4、EP5 はアイソクロナス/バルク/インタラプト転送のうちからいずれかを選択可能です。また、EP1～EP5 は、データ転送の方向を選択設定可能です。

エンド ポイント	5EP モード			6EP モード		
	FIFO 容量	転送 モード	備考	FIFO 容量	転送 モード	備考
EP0	受信 32 送信 32	コントロール		受信 32 送信 32	コントロール	
EP1	64x2	バルク/インタラプト (IN/OUT)	DMA 可能	64x2	バルク/インタラプト (IN/OUT)	DMA 可能
EP2	64x2	バルク/インタラプト (IN/OUT)	DMA 可能	64x2	バルク/インタラプト (IN/OUT)	DMA 可能
EP3	32	バルク/インタラプト (IN/OUT)		32	バルク/インタラプト (IN/OUT)	
EP4	512x2 (64x2)	アイソクロナス /バルク/インタラプト (IN/OUT)	DMA 可能	256x2 (64x2)	アイソクロナス /バルク/インタラプト (IN/OUT)	DMA 可能
EP5	-	-		256x2 (64x2)	アイソクロナス /バルク/インタラプト (IN/OUT)	DMA 可能

FIFO 容量: 単位はバイト

(注1) 5EP モードと 6EP モードの選択は SYSCON レジスタの D2。

(注2) EP3 はレートフィードバックデータシーケンストグルに対応。

(注3) EP1,2,3 は互いに独立に、バルク転送にもインタラプト転送にも割り当てることが可能です。バルク転送でもインタラプト転送でも、最大パケットサイズを最大 64 (EP3 は 32) バイトまで設定可能です。

(注4) EP4 と EP5 はアイソクロナス/バルク/インタラプト転送のいずれかに設定可能です。バルク転送に設定する場合には、最大パケットサイズは最大 64 バイトです。

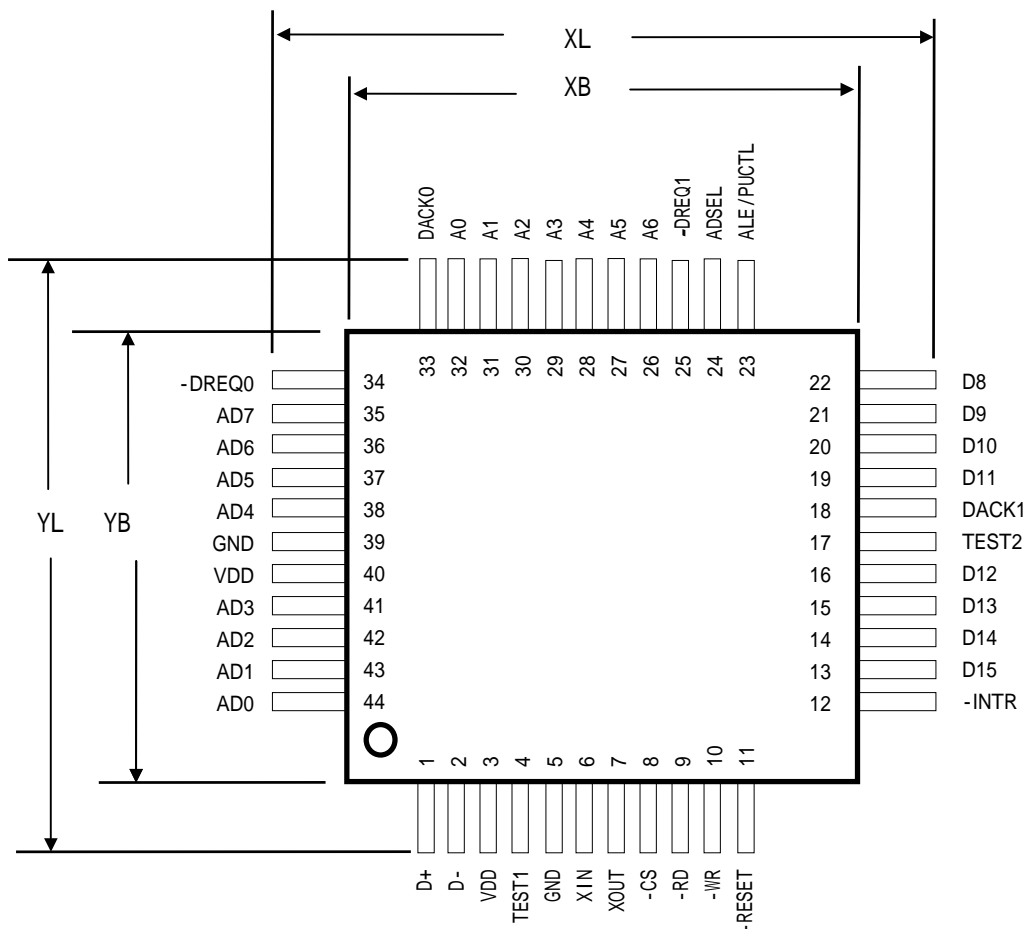
(注5) EP4 と EP5 をアイソクロナス転送用として使用する場合は

5EP モードのときは、EP4 の最大パケットサイズは 512 バイト。EP5 は使用不可。

6EP モードのときは、EP4,5 共に最大パケットサイズは 256 バイトです。

■ ピン配置

44pin QFP/TQFP(上面図)



パッケージ寸法(単位:mm)

	44QFP	44TQFP
XB	10.5 ± 0.1	10.0 ± 0.1
XL	14.5 ± 0.2	12.0 ± 0.2
YB	9.5 ± 0.1	10.0 ± 0.1
YL	13.5 ± 0.2	12.0 ± 0.2
高さ	2.25MAX	1.2MAX
リードピッチ	0.8	0.8

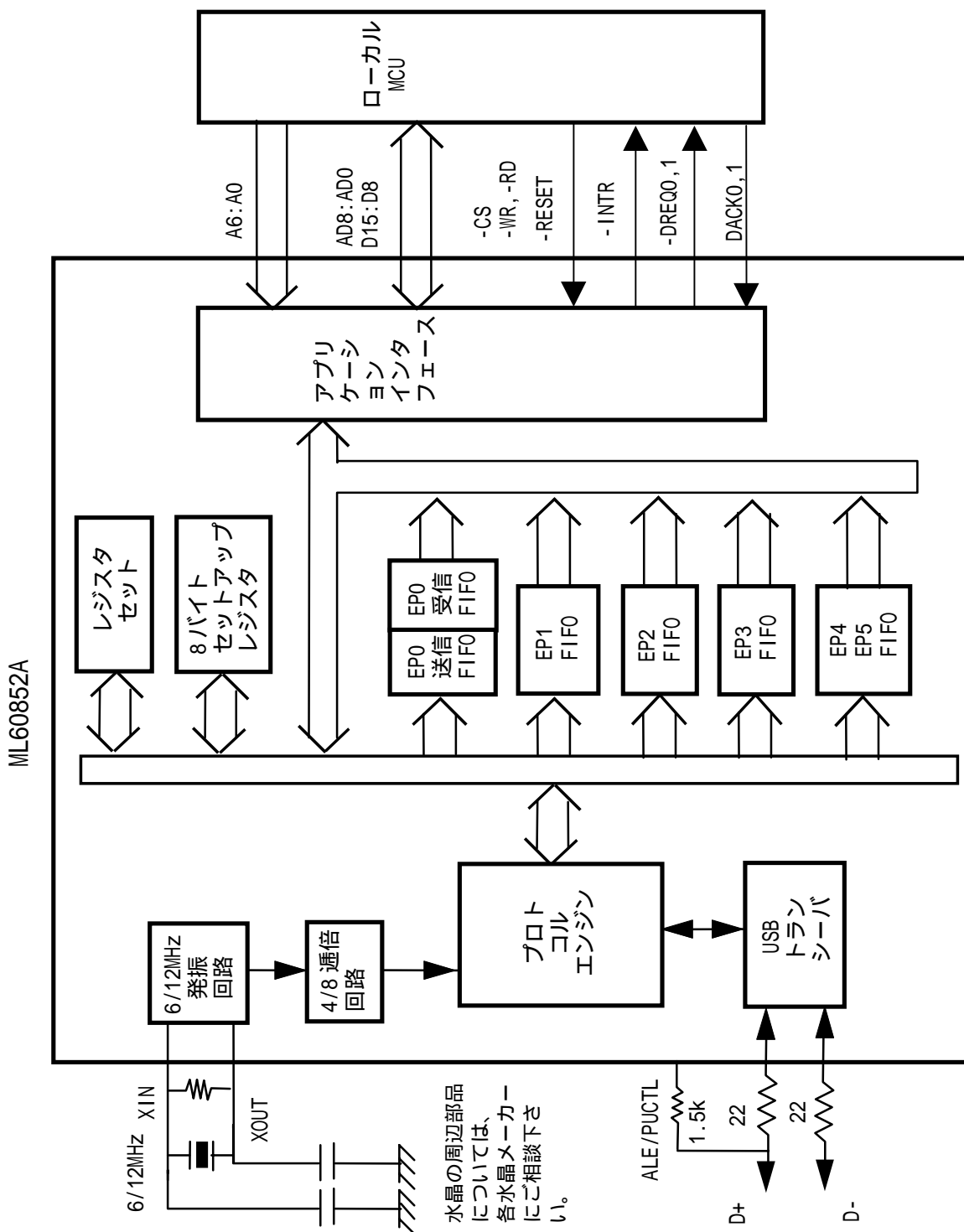
56pin LGA(上面図)

NC	D8	D9	D11	TEST2	D12	D14	-INTR	NC
ALE/ PUCTL	NC	D10	DACK1	NC	D13	D15	NC	-RESET
-DREQ1	ADSEL	Pin No1 マーキング					-RD	-WR
A5	A6						XOUT	-CS
A4	NC						NC	XIN
A2	A3						TEST1	GND
A0	A1						D-	VDD
DACK0	NC						AD7	AD5
NC	-DREQ0	AD6	AD4	GND	AD3	AD1	AD0	NC

端子名	ピン数	I/O Type	説明
D+, D-	2	I/O	USB データ(USB トランシーバ)
XIN, XOUT	2	-	水晶振動子外付け用端子
AD7:AD0	8	I/O	データバス(ローバイト)/アドレス入力
A6:A0	7	I	アドレス入力
D15:D8	8	I/O	データバス(ハイバイト)。DMA 16 ビットモードのとき使用します。
-CS	1	I	チップセレクト信号入力端子。L アクティブ。
-RD	1	I	リード信号入力端子。L アクティブ。
-WR	1	I	ライト信号入力端子。L アクティブ。
-INTR	1	O	割込みリクエスト信号出力端子。
-DREQ0	1	O	DMA0 リクエスト出力端子。
-DREQ1	1	O	DMA1 リクエスト出力端子。
DACK0	1	I	DMA0 受付信号入力端子。
DACK1	1	I	DMA1 受付信号入力端子。
ALE/PUCTL	1	I or O	アドレスラッチイネーブル信号入力端子/ブルアップ制御端子。
ADSEL	1	I	アドレス入力形式選択入力端子。
-RESET	1	I	リセット信号入力端子。
TEST1, TEST2	2	I	テスト端子(L に固定)。
VDD	2	VDD	3.3V 電源。
GND	2	GND	グラウンド(0.0V)
端子合計	44		

I : 入力端子
 O : 出力端子
 I/O : 双方向端子
 VDD: 電源電圧
 GND: グラウンド

■ 回路ブロック図および応用回路例



■ 電気的特性

● 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	VDD	GND=0.0V	-0.3 ~ +4.6	V
入力電圧(ノーマル)	VI	Ta=25	-0.3 ~ +VDD+0.3	V
入力電圧(トレラント)	VIt		-0.3 ~ +6.0	V
出力短絡電流(ノーマル)	IO		-24 ~ +24	mA
出力短絡電流(トレラント)	IOt		-8 ~ +8	mA
許容損失(QFP)	Pq	Top=80	420	mW
許容損失(TQFP)	Pt		360	mW
許容損失(LGA)	PI		250	mW
保存温度	T _{STG}	-	-65 ~ +150	

● 推奨動作条件

GND = 0.0V				
項目	記号	条件	範囲	単位
電源電圧	VDD	-	3.0 ~ 3.6	V
動作温度	Ta	-	-20 ~ +80	
水晶周波数	fOSC	-	12 ± 0.03 又は 6 ± 0.015	MHz

● 直流特性 (1)

(VDD=3.0 ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	MIN	TYP	MAX	単位	対象ピン
H 入力電圧	VIH		2.1	-	5.5	V	注 1
L 入力電圧	VIL		-0.3	-	0.7	V	注 1
H 入力電圧	VIH		VDDx0.8	-	VDD+0.3	V	XIN
L 入力電圧	VIL		-0.3	-	VDDx0.2	V	
シュミット トリガ	Vt+		-	1.5	2.0	V	-RESET
	Vt-		0.7	1.0	-	V	
入力電圧	Vt	(Vt+)-(Vt-)	0.4	0.5	-	V	
H 出力電圧	VOH	IOH=-100uA	VDD-0.2	-	-	V	注 2
		IOH=-4mA	2.4	-	-	V	
L 出力電圧	VOL	IOL=100uA	-	-	0.2	V	
		IOL=4mA	-	-	0.45	V	
H 入力電流	IIH	VIH=VDD	-	0.1	10	uA	注 3
L 入力電流	IIL	VIL=0V	-10	-0.1	-	uA	注 3
3 ステート出力	IOZH	VOH=VDD	-	0.1	10	uA	D15:8
リーク電流	IOZL	VOL=0V	-10	-0.1	-	uA	AD7:0
動作時電源電流	IDDO	VIH=VDD、 VIL=GND、 出力開放。 注 4	-	-	50	mA	VDD
静止時電源電流 (Ta: -20 ~ 50)	IDDS	VIH=VDD、 VIL=GND、 出力開放。 注 5	-	-	60	uA	VDD
静止時電源電流 (Ta:50 ~ 80)	IDDS1	VIH=VDD、 VIL=GND、 出力開放。 注 5	-	-	400		

(注 1) D15:8、AD7:0、A6:0、-CS、-RD、-WR、DACK0、DACK1、ALE、ADSEL に適用。

(注 2) D15:8、AD7:0、-INTR、-DREQ0、-DREQ1、ALE/PUCTL に適用。

(注 3) XIN、D15:8、AD7:0、A6:0、-CS、-RD、-WR、DACK0、DACK1、ALE、ADSEL に適用。

(注 4) Xin 端子に、6、12MHz のクロック入力。XOUT 端子は、出力開放状態。USB 動作状態。

(注 5) サスペンドステート (INSTAT2 の D3 が 1 の状態) で XIN 端子を H 固定あるいは L 固定にした状態。

XOUT 端子は、出力開放状態。D+ 端子は H 固定、D- 端子は、L 固定。

内蔵 USB バッファは、パワーダウン状態。パワーダウンモード設定による省電モード設定 (発振停止)。

AD7 AD0 端子、D15 D8 端子は、H 固定あるいは L 固定にした状態。

その他入力端子は、インアクティブな状態 (動作しない状態) に固定。

● 直流特性 (2) USB ポート部

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	MIN	TYP	MAX	単位	対象ピン
差動入力感度	VDI	$(D+) - (D-)$	0.2		-	V	D+, D-
差動共通モードレンジ	VCM	VDI 分も含む	0.8		2.5	V	
シングルエンデッド・ レシーバ・スレッショルド	VSE		0.8		2.0	V	
H 出力電圧	VOH	15K to GND	2.8		3.6	V	
L 出力電圧	VOL	1.5K to 3.6V	-		0.3	V	
出力リーク電流	ILO	0V < VIN < 3.3V	-10		+10	uA	
ドライバ出力抵抗	ZDRV	定常状態駆動時	28		44		

● AC 特性 USB ポート部

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件 (注 1)	MIN	TYP	MAX	単位	対象ピン
立上り時間	TR	負荷容量 CL=50pF	4		20	ns	D+, D-
立下り時間	TF	負荷容量 CL=50pF	4		20	ns	
出力信号クロスオーバー 電圧	VCRS		1.3		2	V	
データレート	TDRATE	平均ビットレート (12Mbps ± 0.25%)	11.97		12.03	Mbps	

(注 1) TR および TF は、振幅の 10% 点と 90% 点の遷移時間。

■ 信号の説明

● USB インタフェース

信号名	I/O	極性	説明		
D+	I/O	-	USB データ(+)。この信号と D-信号は USB バスを介し送受信されるデータ。 これらの値とデータ値との対応は下記の通り。		
			D+	D-	データ値
			0	0	シングルエンド 0
			0	1	ディファレンシャル“0”
			1	0	ディファレンシャル“1”
1	1	未定義			
D-	I/O	-	USB データ(-)。この信号と D+信号は USB バスを介し送受信されるデータ。 これらの値とデータ値との対応は上記の通り。		

● 水晶発振器インタフェース

信号名	I/O	極性	説明
XIN	I	-	自己発振方式の場合、XIN、XOUT 両端子間に 12MHz 水晶振動子を接続する。 外部発振方式の場合、XIN に外部 12MHz クロック信号を供給する。XOUT は開放状態にする。
XOUT	O	-	

● アプリケーション・インタフェース

信号名	I/O	極性	説明
AD7:AD0	I/O	-	ADSEL=L のとき、データバスの下位バイト(LSB)。 ADSEL=H のとき、データバスの下位バイトとアドレス入力マルチプレックスされる。
A6:A0	I	-	ADSEL=L のとき、アドレス。 ADSEL=H のとき、無効。(all L あるいは all H にする)
D15:D8	I/O	-	データバスの上位バイト(MSB)。DMA16 ビットモードのときのみ使用します。 PIO モードあるいは DMA 8 ビットモードでは、使用しません。
-CS	I	負論理	チップセレクト。この信号をローにアサートすることにより、ML60852A が選択されてリード、ライトが可能になる。シングルアドレスモード DMA 転送時はハイにディアサートしておく必要がある。
-RD	I	負論理	リードストロープ。L パルスでリードが実行される。
-WR	I	負論理	ライトストロープ。L パルスでライトが実行される。
-INTR	O	(注 1)	割込みリクエスト。この信号をアサートしてアプリケーション側に対して割込みをリクエストする。
-DREQ0	O	(注 1)	DMA リクエスト。DMA0 による DMA 転送をリクエストするための信号。
-DREQ1	O	(注 1)	DMA リクエスト。DMA1 による DMA 転送をリクエストするための信号。
DACK0	I	(注 2)	-DREQ0 に対応する DMA 受け付け信号。この信号をアサートすることによってアドレスバスの設定を省略してそれぞれの FIFO へアクセスすることが可能になる。
DACK1	I	(注 2)	-DREQ1 に対応する DMA 受け付け信号。この信号をアサートすることによってアドレスバスの設定を省略してそれぞれの FIFO へアクセスすることが可能になる。
ALE/ PUCTL	I または O	正論理	ADSEL=H のとき、ALE の後縁で AD7:AD0 に入力されるアドレス、および -CS をラッチする。 ADSEL=L のとき、D+プルアップ抵抗接続出力。SYSCON レジスタ D3 ビット=1 のとき VDD 電位、SYSCON レジスタ D3 ビット=0 のとき GND。
ADSEL	I		ADSEL=L のとき、アドレス入力は A6:A0、データは AD7:AD0。 ADSEL=H のとき、AD7:AD0 には、アドレスとデータがマルチプレックスされる。
-RESET	I	負論理	システムリセット。この信号をアサートすることにより、ML60852A をリセットする。パワーオン時にはこの信号を 1us 以上アサートする必要がある。

(注 1)極性選択レジスタで極性を設定可。デフォルトは負論理。

(注 2)極性選択レジスタで極性を設定可。デフォルトは正論理。

■ 機能説明

(1) USB インタフェース

ML60852A は USB デバイスコントローラです。ML60852A は下記のような USB プロトコルの基盤となる機能部分をつかさどります。このためアプリケーション側では、アプリケーションに属する機能部分の処理に専念することができます。

- ビット同期
- NRZI 信号のエンコードとデコード
- Sync バイトの生成と検出
- ビットスタッフィング
- CRC の生成と検査 (CRC5、CRC16)
- PID (パケット識別子) のエンコードとデコード
 1. トークンのデコード
 2. ハンドシェイクパケットをエンコード、デコード
- SOP の生成と検出
- エンパケット (パケット化) とデパケット (パケット解包)
- デバイスアドレスのコンペア
- ホストからの 8 バイト・セットアップデータをセットアップレジスタに格納する
- 送信 FIFO のデータを送信する
- 受信データに対応するエンドポイントの受信 FIFO に格納する

(2) USB 転送モード

ML60852A は USB 規格で定められた 4 つの転送モード、コントロール転送、インタラプト転送、バルク転送およびアイソクロナス転送のすべてに対応します。

- (a) コントロール転送は、ホストからのコンフィグレーションやコマンド受信とそれに対するレスポンス、およびホスト・ペリフェラル間のステータス情報のやり取りなどに有効です。
- (b) バルク転送は、USB バスのバンド幅が十分になったとき、大量のデータを転送できるようにするモードです。
- (c) インタラプト転送モードは、少量のデータを低頻度で、ただし限定されたサービス周期で通信する必要がある場合に使われます。
- (d) アイソクロナス転送モードは、オーディオデータや動画データなど時間的に連続して転送するような用途に適しています。

(3) エンドポイントと FIFO

ML60852A は、レジスタ SYSCON への設定によって、EP を 5 個有する 5EP モードと EP を 6 個有する 6EP モードを選択することができます。EP0 は使用できる転送モードが固定ですが、EP1, 2, 3 はバルク転送とインタラプト転送のうちからいずれかを選択可能であり、EP4, EP5 はアイソクロナス転送、バルク転送、インタラプト転送のうちからいずれかを選択可能です。また、EP1～EP5 は、データ転送の方向を選択設定可能です。

エンド ポイント	5EP モード			6EP モード		
	FIFO 容量	転送 モード	備考	FIFO 容量	転送 モード	備考
EP0	受信 32 送信 32	C	-	受信 32 送信 32	C	-
EP1	64x2	B/Int (IN/OUT)	DMA 可能	64x2	B/Int (IN/OUT)	DMA 可能
EP2	64x2	B/Int (IN/OUT)	DMA 可能	64x2	B/Int (IN/OUT)	DMA 可能
EP3	32	B/Int (IN/OUT)	Rate	32	B/Int (IN/OUT)	Rate
EP4	512x2 (64x2)	Iso/B/Int (IN/OUT)	DMA 可能	256x2 (64x2)	Iso/B/Int (IN/OUT)	DMA 可能
EP5	-	-	-	256x2 (64x2)	Iso/B/Int (IN/OUT)	DMA 可能

FIFO 容量: 単位はバイト

(注) 転送モード

C=コントロール転送

B=バルク転送

Int=インタラプト転送

Iso=アイソクロナス転送

Rate=レートフィードバックのデータシーケンスストグルに対応

(4) コントロール転送の動作

コントロール転送は、3つのステージから形成されます。

(a) セットアップ・ステージ

ホストからセットアップ・トークンと8バイトのセットアップデータが転送されてきます。ML60852Aはセットアップ・トークンをデコードし、8バイトセットアップデータをセットアップレジスタに自動的に格納します。これらが正常に終了すれば、ML60852AはACKをホストに返します。

8バイト・セットアップデータは、USB規格9.3節で定義されている標準リクエストのコード、あるいは各デバイスクラス固有のリクエストなどのコードです。リクエストのデコードはローカルMCU側で行います。

(b) データ・ステージ

8バイト・セットアップデータによって指定されるリクエストが、ホストからデバイスへのパラメータデータの転送をともなうものであれば、コントロール Write 転送であり、ホストから OUT トークンとデータパケットがホストから送信されてきます。正常受信がおこなわれれば、ML60852AはEP0受信FIFOにパラメータデータを格納し、ACKを返します。

リクエストがデバイスからホストへのパラメータデータの転送をともなうものであれば、コントロール Read 転送であり、ホストはINトークンを転送してくるので、あらかじめローカルMCUからEP0送信FIFOに格納していたパラメータデータをML60852Aが送信します。ホストはこれらを正常受信すると、ACKをML60852Aに返してきます。

他方、送信・受信すべきパラメータデータを含まないようなリクエストの場合には、このデータ・ステージはなく、セットアップ・ステージから直接ステータス・ステージに進行します。

(c) ステータス・ステージ

ステータス・ステージは、リクエスト実行に対する結果のステータスをデバイスからホストへレポートするためのステージです。コントロール Write 転送および無データコントロール転送では、ホストから IN トークンがきますので、ML60852Aがレスポンスを返します。コントロール Read 転送では、ホストから OUT トークンと長さ0のデータが来ますので、ML60852Aがレスポンスを返します。

上記コントロール転送の間ローカルMCUは、00h~07hにマップされた8バイト・セットアップレジスタと、70hにマップされたEP0送信FIFO、および78hにマップされたEP0受信FIFOを割り込み要因に応じてREAD/WRITEするだけでよく、その他の動作はすべてML60852Aが自動的に行います。

(5) バルク転送、インタラプト転送のデータパケット送受信手順

ML60852A は通常周辺機器側に使われます。このような使い方の場合、ML60852A は USB バスを介してホストにつながり、他方パラレルインタフェースを通じて周辺機器内部のローカルなマイコン (ローカル MCU) に接続されま

す。
コントロール転送以外の転送では、データの転送が主体です。ML60852A とホストの間でデータパケットを転送する場合、1 パケットのデータ転送ごとに USB バスを介して次のようなパケット通信を行います。

- (a) ホストから ML60852A へのトークンパケット転送 (IN トークン、あるいは OUT トークン)
- (b) 目的方向 (ホストからデバイス、あるいはデバイスからホスト) へのデータパケット転送
- (c) データパケットの方向とは逆向きのハンドシェイクパケット転送

正常にパケット転送が行われると、(c) では ACK パケットが返され次のパケット転送へ進みます。

ML60852A は -INTR 端子をアサートすることでローカル MCU にパケットデータの授受をリクエストします。割込みの要因となるのがパケットレディです。送信パケットレディ割込みは、送信すべきパケットデータを送信 FIFO に書き込むことを要求するものであり、受信パケットレディ割込みは受信格納された受信 FIFO 中のデータの読み出しを要求するものです。

これら 1 パケットのデータ転送の手順を送信時と受信時とに分けて説明します。

1) 送信時

ローカル MCU は、送信すべき 1 パケットデータを ML60852A の対応する EP の送信 FIFO に書き込み、ML60852A の対応する EP ステータスレジスタの送信パケットレディビットをセットしておきます。ホストが通信方法などを指定する IN トークン・パケットを ML60852A に送信してきたとき、ML60852A は前記送信 FIFO に書き込まれていたパケットデータをホストに送信します。ホストは 1 パケットのデータが正常に受信できると ACK パケットを ML60852A に返します。すると ML60852A は送信パケットレディをリセットし、1 パケットの USB 送信が完了します。送信パケットレディがリセットされる時、ML60852A は送信パケットレディ割込みをローカル MCU にリクエストし、次パケットデータの書き込みを督促します。

2) 受信時

ホストから ML60852A に OUT トークンが送られ、引き続いてデータパケットが送られてきます。ML60852A は受信データに対応する EP の受信 FIFO に格納します。受信 FIFO に全パケットデータが蓄積し、かつエラーがないことが確認できると、ML60852A はホストに対して ACK パケットを返します。このとき同時に、ML60852A は対応する EP ステータスレジスタの受信パケットレディビットをセットし、割込みをローカル MCU にリクエストします。これによりローカル MCU は ML60852A から受信データを読み出し、受信パケットレディビットをリセットします。

(6) アイソクロナス転送のデータパケット送受信手順

アイソクロナス転送では、データの転送が主体です。ML60852A とホストの間でデータパケットをアイソクロナス転送する場合、1 パケットのデータ転送ごとに USB バスを介して次のようなパケット通信を行います。

- (a) ホストから ML60852A へのトークンパケット転送 (IN トークン、あるいは OUT トークン)
- (b) 目的方向 (ホストからデバイス、あるいはデバイスからホスト) へのデータパケット転送

アイソクロナス転送では、正常にパケット転送が行われたか否かをレポートするハンドシェイクがありません。

ML60852A は -INTR 端子をアサートすることでローカル MCU にパケットデータの授受をリクエストします。割り込みの要因となるのが SOF です。この割り込みによってローカル MCU は、アイソクロナス転送で送信 (ISO IN) 用に設定された EP に対してはパケットデータを送信 FIFO に書き込み、アイソクロナス転送で受信 (ISO OUT) 用に設定された EP に対しては、受信 FIFO 中のデータを読み出します。

これら 1 パケットのデータ転送の手順を送信時と受信時とに分けて説明します。

1) 送信時

ISO IN 用の EP は 2 面 FIFO で構成されています。一方の FIFO は、MCU がパケットデータをローカルバスから Write するときそのデータを格納します。もう一方の FIFO は、IN トークを受信したとき、格納されているデータを USB バスへ送信します。SOF パケットを受信したとき両者の FIFO の役割が入れ替わります。

SOF 割り込みに対してローカル MCU は、その次のフレームで送信すべきパケットデータを ML60852A の対応する EP の送信 FIFO に書き込みます。ホストが IN トークン・パケットを ML60852A に送信してきたとき、ML60852A は現在より一つ前のフレームで送信 FIFO に書き込まれているパケットデータをホストに送信します。

2) 受信時

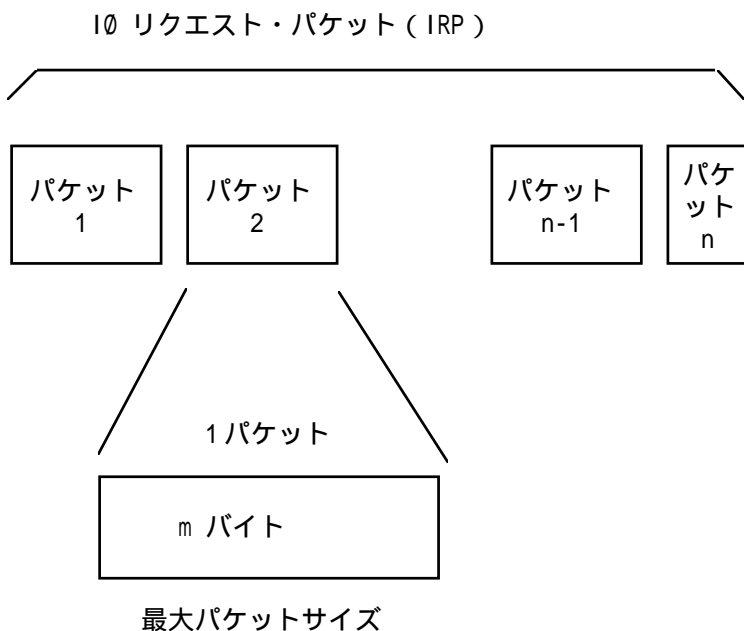
ISO OUT 用の EP は 2 面 FIFO で構成されています。一方の FIFO は、MCU がパケットデータを Read したとき、格納されているデータをローカルバスに出力します。もう一方の FIFO は、USB バスから受信されたパケットを格納します。SOF パケットを受信したとき両者の FIFO の役割が入れ替わります。

SOF 割り込みに対してローカル MCU は、その一つ前のフレームで受信したパケットデータを ML60852A の対応する EP の受信 FIFO から Read します。ホストが OUT トークンおよびデータパケットを ML60852A に送信してきたとき、ML60852A は受信 FIFO にそのパケットデータを格納し、そのデータは次のフレームでローカル MCU に Read されます。

(7) パケットとパケットサイズ

ML60852A は送信データのパケット化および受信データのデパケット化(パケットを解包する)を行います。ソフトウェア・クライアントが意識する塊データは 1 もしくは複数パケットからなるデータ群でこれを I/O リクエスト(IRP)と呼びます。

IRP の複数パケットのうち、最後のパケット以外のパケットは最大パケット・サイズで転送されます。最後のパケットだけは、最大パケット・サイズに満たないサイズのパケット、すなわちショートパケットで転送することが可能です。



ML60852A は各エンドポイントごとに対応するペイロード・レジスタを有しており、これらに各エンドポイントの最大パケット・サイズを設定することができます。最大パケット・サイズは、対応する FIFO 容量の範囲内でなければならず、

- (1) EP0 受信は 32 バイト以下
- (2) EP0 送信は 32 バイト以下
- (3) EP1 送信/受信は、 64 バイト以下
- (4) EP2 送信/受信は、 64 バイト以下
- (5) EP3 送信/受信は、 32 バイト以下
- (6) EP4 バルク/インタラプト 送信/受信は、 64 バイト
 - 5EP モードで EP4 アイソクロナスは、 512 バイト以下
 - 6EP モードで EP4 アイソクロナスは、 256 バイト以下
- (7) 6EP モードで EP5 バルク/インタラプトは、 64 バイト以下
 - 6EP モードで EP5 アイソクロナスは、 256 バイト以下

に設定していただきます。

USB バス上では、個々のパケットの最後に EOP(エンド・オブ・パケット)と呼ばれる特殊な信号状態が付加されパケットの区切りを識別します。送信時の EOP 付加や受信時の EOP 検出・除去は ML60852A が自動的にを行います。

- (1)送信時、ローカル MCU が所望のバイト数のデータを送信 FIFO に書き込んだあとに、送信パケットレディをアサートしたところで、パケット終了とみなします。(実際の EOP 付加はホストからの IN トークンを待って行われる USB バスへのデータ送信時に実行されます。)最大パケットサイズに満たないバイト数データを書き込んだ後送信パケットレディをアサートすれば、ショートパケットになります。特に、データを書き込まずに送信パケットレディをアサートした場合には、データ長がゼロのヌルパケットを形成することができます。
- (2)受信時、受信データ列に EOP を検出すると、ML60852A は受信パケットの終了を認識し受信パケットレディをアサートします。受信したパケットのバイト数は、各エンドポイントに対応する受信バイトカウント・レジスタ^{※1}で自動的にカウントされます。

(注1)受信バイトカウント・レジスタ

アドレス 58h ~ 5Dh、及び、74h ~ 75h。

(8) 割込み

ML60852A はローカル MCU などに対して -INTR 端子をアサートすることによって、割込みを要求します。割込み要因には

- (a) 8 バイト・セットアップデータに対する、セットアップレディ
- (b) EP0 受信パケットレディ
- (c) EP0 送信パケットレディ
- (d) EP1 送信/受信パケットレディ
- (e) EP2 送信/受信パケットレディ
- (f) EP3 送信/受信パケットレディ
- (g) EP4 送信/受信パケットレディ
- (h) EP5 送信/受信パケットレディ
- (i) SOF
- (j) USB バスリセット・アサート
- (k) USB バスリセット・デアサート
- (l) サスペンド
- (m) アウェイク

があります。-INTR 端子は 1 本ですが、ローカル MCU は割込みステータスレジスタ 1 (INTSTAT1) と割込みステータスレジスタ 2 (INTSTAT2) を参照することによって割込みの内容を識別することができます。これら割込みは、個別に割込みイネーブル・レジスタ 1 (INTENBL1) と割込みイネーブル・レジスタ 2 (INTENBL2) への設定によってダイナミックにマスクすることもできます。

割込みの要因と条件および応答について下に示します。

セットアップレディ・ビットやパケットレディ・ビットの挙動については、ここで述べる事柄以外に ML60852A が自動的に操作する特別な場合があり、これについては、レジスタ説明の EP0STAT ~ EP5STAT の箇所
で詳述しますので参照してください。

(1) セットアップレディ割込み

動作	動作元	説明(条件、応答など)
セットアップレディ 割込み発生	ML60852A	<p>ホストから 8 バイト・セットアップ・コントロールデータが正常に受信され、セットアップレジスタ群に格納されたとき、セットアップレディ・ビット(EP0STAT の D2) がアサートされます。</p> <p>このとき INTENBL1 の D0 がアサートであれば、割込みが発生します。</p> <p>ファームウェアはセットアップレジスタ群をリードすることが可能になります。</p>
セットアップレディ 割込終了	ローカル MCU (ファームウェア)	<p>8 バイトセットアップデータをファームウェアがリードしたら、EP0 ステータスレジスタ(EP0STAT) の D2 ビットに 1 をライトしてください。それでこの割込みはデアサートになります。</p> <p>その間に新たな 8 バイトセットアップデータが受信された場合には、割込みはデアサートされません。先にリード仕掛かったセットアップデータを廃棄し、新たな 8 バイトセットアップデータをリードしてください。</p>

(2) EP0 受信パケットレディ割り込み

主にコントロール Write 転送のデータパケット受信で使します。

動作	動作元	説明(条件、応答など)
EP0 受信パケットレディ割り込み発生	ML60852A	コントロール Write 転送時、セットアップステージからデータステージに移行し、ML60852A がデータパケットの EOP を検知し、EP0 受信 FIFO にエラーのないデータが格納されたとき、EP0 受信パケットレディビット (EPOSTAT の D0) がアサートになります。フルパケットでもショートパケットでも EOP が到着すればパケット終了と認識します。 このとき EP0 受信パケットレディ割り込みイネーブル (INTENBL1 の D6) がアサートであれば割り込みが発生します。 (EOP: エンドオブパケット)
EP0 受信パケットレディ割り込み終了	ローカル MCU (ファームウェア)	EP0 受信の場合、EP0 受信 FIFO データを、EP0 受信バイトカウントレジスタ (EP0RXCNT) に示されるバイト数だけリードしたら、EP0 受信パケットレディビット (EPOSTAT の D0 ビット) に 1 をライトしてください (1 をライトするとリセット)。

(注) ショートパケット: 最大パケットサイズに満たないバイト数のパケット。

(3) EP0 送信パケットレディ割込み

主にコントロール Read 転送のデータパケット送信で使します。

動作	動作元	説明(条件、応答など)
EP0 送信パケットレディ割込み発生	ML60852A	<p>コントロール Read 転送時、セットアップステージからデータステージに移行し、送信データを FIFO にライト可能な状態になると、EP0 送信パケットレディビット (EP0STAT の D1) がデアサートになります。</p> <p>このとき EP0 送信パケットレディ割込みイネーブル (INTENBL1 の D7) がアサートであれば、割込みが発生します。</p> <p>2 パケット目以降の場合はこの条件のほかに、前回送信したパケットに対しホストから ACK 応答が来ないと割込みが発生しません。</p>
EP0 送信パケットレディ割込み終了	ローカル MCU (ファームウェア)	<p>EP0 送信の場合、EP0TXFIFO に 1 パケット分の EP0 送信データをライトした後、EP0 送信パケットレディビット (EP0STAT の D1) に 1 をライトしてください。それによって ML60852A が送信可能な(すなわち IN トークンが来たときにデータパケットを送信し得る)状態になり、同時に -INTR がデアサートされます。</p> <p>ライトデータ数が最大パケットサイズに満たなくても、送信パケットレディに 1 を Write すると送信可能状態になります。ショートパケットの送信に対応します。</p>

(4) 受信パケットレディ割込み (EP1、EP2、EP3、EP4 バルク、EP5 バルク)

各 EP が USB バスから妥当なパケットデータを受信し、ローカル MCU がそのデータを読み込める状態になったとき本割り込みが発生します。

動作	動作元	説明(条件、応答など)
受信パケットレディ割込み発生	ML60852A	データ受信時、ML60852A がデータパケットの EOP を検知し、FIFO にエラーのないデータが格納されたとき、対応する各 EP ステータスレジスタ (EPnSTAT) の受信パケットレディ・ビット (D0) がアサートになります。フルパケットでもショートパケットでも EOP が到着すればパケット終了と認識します。 このとき、対応するパケットレディ割込みイネーブル・ビットがアサートであれば割込みが発生します。 (EOP: エンドオブパケット)
受信パケットレディ割込み終了	ローカル MCU (ファームウェア)	各 EP 受信 FIFO データ (EPnFIFO) を各 EP 受信バイトカウンタ (EPnRXCNT) に示されるバイト数だけリードしたら、各 EP ステータスレジスタ (EPnSTAT) の D0 ビットに 1 をライトしてください (1 をライトするとリセット)。

- (5)送信パケットレディ割り込み(EP1、EP2、EP3、EP4 バルク、EP5 バルク)
各 EP から USB バスへ送信すべきパケットデータをローカル MCU が書き込める状態になったとき本割り込みが発生します。

動作	動作元	説明(条件、応答など)
送信パケットレディ割り込み発生	ML60852A	<p>バルク転送、インタラプト転送の場合</p> <p>各 EP が送信に設定された場合で、送信データを FIFO にライト可能な状態になると、対応する EP の送信パケットレディビット(EPnSTAT の D1)がデアサートになります。</p> <p>このとき対応する EP パケットレディ割り込みイネーブル(INTENBL1)がアサートであれば、割り込みが発生します。</p> <p>2 パケット目以降については前パケットに対する ACK がホストから返されていないと割り込みが発生しません。</p>
送信パケットレディ割り込み終了	ローカル MCU (ファームウェア)	<p>バルク転送、インタラプト転送の場合</p> <p>各 EP の送信 FIFO に送信データをライトし、その後 EP 送信パケットレディビット(EPnSTAT の D1 ビット)に 1 をライトしてください。</p> <p>それで送信可能状態になり、同時に-INTR がデアサートになります。</p> <p>ライトデータ数が最大パケットサイズに満たなくても、送信パケットレディに 1 をライトするとパケット終了になります。</p>

注)FIFO を 2 面有する EP(EP1,2,4,5)は、送信パケットレディ割り込みのアサート条件 / デアサート条件が送信パケットレディ制御レジスタ(TXPKTCONT)の設定に影響されます。

これについては、レジスタ説明の送信パケットレディ制御レジスタ(TXPKTCONT)の箇所で詳述しますので参照してください。

(6)SOF 割込み

動作	動作元	説明(条件、応答など)
SOF 割込み発生	ML60852A	USB バス上で SOF パケットを検出したとき。
SOF 割込み終了	ローカル MCU (ファームウェア)	<u>割り込みステータスレジスタ2(INTSTAT2)の対応するビットに 1 をライトしたとき。</u>

(7)USB バスリセットアサート割込み

動作	動作元	説明(条件、応答など)
USB バス リセット アサート 割込み発生	ML60852A	D+, D-端子で 2.5us 以上 SE0 状態が続いたとき、ML60852A がそれを自動的に検出します。 バスリセットに対応するファームウェア処理を行ってください。
USB バス リセット アサート 割込み終了	ローカル MCU (ファームウェア)	<u>割り込みステータスレジスタ2(INTSTAT2)の対応するビットに 1 をライトしたとき。</u>

(8)USB バスリセットデアサート割込み

動作	動作元	説明(条件、応答など)
USB バス リセット デアサート 割込み発生	ML60852A	<u>D+, D-端子で 2.5us 以上 SE0 から J ステートに復帰したとき。</u> バスリセット解除に対応するファームウェア処理を行ってください。
USB バス リセット デアサート 割込み終了	ローカル MCU (ファームウェア)	<u>割り込みステータスレジスタ2(INTSTAT2)の対応するビットに 1 をライトしたとき。</u>

(9) サスペンデッドステート割込み

動作	動作元	説明(条件、応答など)
サスペンデッド ステート 割込み発生	ML60852A	D+, D- 端子で 3ms 以上アイドル状態が続いたとき。 <u>この割込み発生からさらにアイドル状態が 2ms 経過後に ML60852A の内部発振クロックが自動的に停止します。ファームウェアはデバイスを低消費電流モードにするような措置を講ずることができます。</u>
サスペンデッド ステート 割込終了	ローカル MCU (ファームウェア)	<u>割込みステータスレジスタ 2 (INTSTAT2) の対応するビットに 1 をライトしたとき。</u>

(10) アウェイク割込み

動作	動作元	説明(条件、応答など)
アウェイク 割込み発生	ML60852A	D+, D- 端子でレジューム信号(K ステートの直後の約 <u>1344 ns の SE0 状態</u>)を検出したとき。
アウェイク 割込終了	ローカル MCU (ファームウェア)	<u>割込みステータスレジスタ 2 (INTSTAT2) の対応するビットに 1 をライトしたとき。</u>

(9)DMA(Direct Memory Access)

EP1、EP2、EP4、EP5 のバルク転送用 FIFO および EP4、EP5 のアイソクロナス転送用 FIFO に対して、8 ビット幅あるいは 16 ビット幅の DMA 転送が可能です。使用するデータバスは、

8 ビット転送時:AD7 ~ AD0

16 ビット転送時:D15 ~ D8、AD7 ~ AD0

です。0 チャンネルと 1 チャンネルの 2 チャンネルの DMA が可能です。デマンド転送、シングル転送、いずれにも対応します。DMA 転送のモードやパラメータの設定は後述する DMA 制御レジスタおよび DMA インターバルレジスタによって行います。

デマンド転送モードではパケットデータを読み込みまたは書き込み可能になったとき DREQ がアサートされます。外部の DMA コントローラにより受信パケットのすべてのデータ転送が完了すると、DREQ がデアサートされます。したがって、DMA 転送中に他のデバイスはローカルバスをアクセスすることができません。

一方、シングル転送モードでは 1 回のバイト(ワード)転送完了ごとに DREQ がデアサートされ、その間に他のデバイスがローカルバスをアクセスできるようになります。

(10)パワーダウン

ML60852A は USB バス上でサスペンデッドステートを検出すると、自動的に内部の発振を停止し、パワーダウン状態に入ります。USB バス上でレジューム信号を検出すると自動的に発振を再開し、パワーダウン状態を解除します。

(11) バルク転送時の 2 面構成 FIFO の動作

EP1、EP2 の FIFO は 64 バイト x2 面構成です。また EP4 はバルク転送に割り付けると、64x2 面構成になります。このためこれらは最大で 128 バイトまでのバルク転送データを一時格納することが可能です。

(1) 2面受信動作 (◻ はアサート、× はデアサート)

	1 2 3 4 5a 6の場合 1 2 3 4 5b 6の場合	A面 64 バイト	B面 64 バイト	A面 PKT RDY	B面 PKT RDY	EPn 受信 PKT RDY	-INTR
1	受信、A面格納を開始	◻		×	×	×	×
2	1パケット分格納した。	◻			×		
3	B面にも受信・格納開始	◻			×		
4	ローカルMCUがA面リード開始	◻			×		
5a	A面リードが完了する前に B面へのパケット格納が完了 した場合	◻					
5b	B面格納が完了する前に A面リードが完了した場合		◻	×	×	×	×
6	5aから：A面が空になった 5bから：B面がフルになった		◻	×			
7	B面もリード開始		◻	×			

A 面 FIFO に 1 パケットの受信データが格納され EOP を受信すると、ML60852A が EPn パケットレディをアサートし、-INTR をアサートします。それにより、ローカル MCU が受信データをリードすることが可能になります。

引き続き、ホストからデータを受信することができ、ML60852A は格納する FIFO を B 面にスイッチします。

A 面 FIFO から前記 1 パケットのデータをリードしたら、ローカル MCU から Epn 受信パケットレディをリセット (EPnSTAT の D0 ビットに 1 をライト) してください。

Epn 受信パケットレディ・リセット時点で、B 面が受信完了になっていなければ、ML60852A は Epn 受信パケットレディをリセットし、-INTR をデアサートします。

ところが、Epn 受信パケットレディ・リセット時点で、B 面が受信完了になっていれば、ML60852A はローカル MCU からの Epn 受信パケットレディ・リセット要求を却下し、相変わらず Epn 受信パケットレディと -INTR のアサート状態を維持します。

(2) 2面送信動作 (○ はアサート、× はデアサート)

	1 2 3 4 5a 6の場合 1 2 3 4 5b 6の場合	A面 64 バイト	B面 64 バイト	A面 PKT RDY	B面 PKT RDY	EPn 受信 PKT RDY	-INTR
1	A面、B面とも空			×	×	×	
2	ローカルMCUがA面に書き込み 開始	████		×	×	×	
3	1パケット分書き込み完了	████████			×	×	
4	A面データを送信しつつ、B面 に次パケットデータを書き込む	██████████			×	×	
5a	A面が空になる前に、B面書き 込みが完了した場合	████████████████					×
5b	B面書き込みが完了する前に A面が空になった場合		████████	×	×	×	
6	5aから：A面が空になった 5bから：B面がフルになった		██████████	×		×	
7	B面も送信開始		████████	×		×	

INTENBL1のEpn送信パケットレディ割込みイネーブルビットをアサートして、送信FIFOがエンプティでEPn送信パケットレディビットがデアサートであれば、EPn送信パケットレディ割込みがアサートになります。それで送信データをEPn送信FIFOにデータを書き込むことが可能になります。

A面FIFOに1パケット分のデータを書き込んだら、ローカルMCUは、送信パケットレディ(EPnSTATのD1)をセットしてください。送信パケットレディのセットをもってホストへの送信が可能な状態になります。ここでは、B面はまだエンプティなので-INTRはアサート状態を維持し、次パケットデータの書き込みが可能であることを示します。この場合、EPnSTATのD1は0のままですが、ML60852AはA面が送信可能であることを認識しホストからINトークンが来たとき送信を開始します。

A面データをUSBバスに送信しつつ、ローカルMCUがB面FIFOに次パケットの送信データを書き込むことが可能です。

B面に送信したいデータの書き込みが完了すると、ローカルMCUから送信パケットレディをセットしますが、この時点でまだA面が送信完了(すなわちホストからのACKを受信し、送信パケットレディビットがリセットされたとき)でなければ、-INTRはデアサートになります。(ローカルMCUは次パケットをまだ書き込めない)

B面が送信可能状態になるより前にA面がエンプティになり正常に送信が行われればホストからACKが返ってきます。-INTRはアサートのままで、ローカルMCUはB面に引き続きA面FIFOに対する書き込みが可能です。

4aの状態からA面データの送信を続けて、A面がエンプティになると、正常に送信が完了すればホストからACKが返ってくるので、ML60852Aは-INTRをアサートし、A面への書き込みをうながすことになります。

(12) エラー処理とリトライ動作

1) 送信時のエラー処理

ML60852A が送信したデータに CRC エラーなどのエラーが検出されると、ホストは ACK パケットを返さないで、ML60852A は送信パケットレディをリセットせず、カレントのパケットデータを保持したまま待機することになります。ホストからの次の IN トークンで、カレントのパケットデータを再送信します。

2) 受信時のエラー処理

USB バスを介して受信したデータにエラーが発見された場合には、ML60852A はローカル MCU に対して割込み信号をアサートせず、またホストに対して何も返しません(タイムアウトにします)。

タイムアウトによりホストはエラーがあったことを認識し、再送などの対応策を講じることができます。また、割込みをリクエストしないので、ローカル MCU はエラーがあるデータをリードしないことになります。

■ 内部レジスタ構成

ML60852A のレジスタファイルには、動作条件を設定するレジスタ、動作状態や処理結果などをレポートするレジスタが含まれています。これらには、アプリケーション側の MCU などから見て、リードだけが可能なレジスタ、ライトだけが可能なレジスタ、およびリード・ライト可能なレジスタが定義されています。

コントロールパイプを介してホストから転送されるセットアップ・データが格納されるセットアップレジスタも、これらレジスタファイルのアドレスにマッピングされています。コントロール転送におけるデータフェーズのデータ、その他の転送モードにおける送受信データのレジスタもこれらレジスタファイルのアドレスにマッピングされています。

これらのマッピングを次ページより示します。

● レジスタの種類と配置

カテゴリ	アドレス	記号	R/W	名称
FIFO	70h	EP0TXFIFO	W	EP0 送信 FIFO
	78h	EP0RXFIFO	R	EP0 受信 FIFO
	79h	EP1FIFO	R or W	EP1 送信/受信 FIFO
	7Ah	EP2FIFO	R or W	EP2 送信/受信 FIFO
	7Bh	EP3FIFO	R or W	EP3 送信/受信 FIFO
	7Ch	EP4FIFO	R or W	EP4 送信/受信 FIFO
	7Dh	EP5FIFO	R or W	EP5 送信/受信 FIFO
コモン	00h	bmRequestType	R	bmRequestType セットアップ・レジスタ
	01h	bRequest	R	bRequest セットアップ・レジスタ
	02h	wValueLSB	R	wValueLSB セットアップ・レジスタ
	03h	wValueMSB	R	wValueMSB セットアップ・レジスタ
	04h	wIndexLSB	R	wIndexLSB セットアップ・レジスタ
	05h	wIndexMSB	R	wIndexMSB セットアップ・レジスタ
	06h	wLengthLSB	R	wLengthLSB セットアップ・レジスタ
	07h	wLengthMSB	R	wLengthMSB セットアップ・レジスタ
	20h	DVCADR	R/W	デバイスアドレス・レジスタ
	21h	INTSTAT1	R/Rst	割込みステータス・レジスタ 1
	22h	INTSTAT2	R/Rst	割込みステータス・レジスタ 2
	24h	INTENBL1	R/W	割込みイネーブル・レジスタ 1
	25h	INTENBL2	R/W	割込みイネーブル・レジスタ 2
	2Dh	FRAMELSB	R	フレーム番号レジスタ LSB
	2Eh	FRAMEMS	R	フレーム番号レジスタ MSB
	2Fh	SYSCON	R/W	システム制御レジスタ
	30h	POLSEL	R/W	極性選択レジスタ
DMA	10h	DMA0CON	R/W	DMA0 制御レジスタ
	11h	DMA0INTVL	R/W	DMA0 インターバル・レジスタ
	12h	DMA1CON	R/W	DMA1 制御レジスタ
	13h	DMA1INTVL	R/W	DMA1 インターバル・レジスタ

● レジスタの種類と配置 (続き 2)

カテゴリ	アドレス	記号	R/W	名称	
EP 対応	40h	EP0CONF	R/W	EP0 コンフィグレーション・レジスタ	
	41h	EP1CONF	R/W	EP1 コンフィグレーション・レジスタ	
	42h	EP2CONF	R/W	EP2 コンフィグレーション・レジスタ	
	43h	EP3CONF	R/W	EP3 コンフィグレーション・レジスタ	
	44h	EP4CONF	R/W	EP4 コンフィグレーション・レジスタ	
	45h	EP5CONF	R/W	EP5 コンフィグレーション・レジスタ	
	48h	EP0CONT	R/W	EP0 制御レジスタ	
	49h	EP1CONT	R/W	EP1 制御レジスタ	
	4Ah	EP2CONT	R/W	EP2 制御レジスタ	
	4Bh	EP3CONT	R/W	EP3 制御レジスタ	
	4Ch	EP4CONT	R/W	EP4 制御レジスタ	
	4Dh	EP5CONT	R/W	EP5 制御レジスタ	
	50h	EP0PLD	R/W	EP0 ペイロード・レジスタ	
	51h	EP1PLD	R/W	EP1 ペイロード・レジスタ	
	52h	EP2PLD	R/W	EP2 ペイロード・レジスタ	
	53h	EP3PLD	R/W	EP3 ペイロード・レジスタ	
	54h	EP4PLDLSB	R/W	EP4 ペイロード・レジスタ LSB	
	55h	EP5PLDLSB	R/W	EP5 ペイロード・レジスタ LSB	
	58h	EP0XCNT	R	EP0 受信バイトカウンタ	
	59h	EP1XCNT	R	EP1 受信バイトカウンタ	
	5Ah	EP2XCNT	R	EP2 受信バイトカウンタ	
5Bh	EP3XCNT	R	EP3 受信バイトカウンタ		
5Ch	EP4XCNTLSB	R	EP4 受信バイトカウンタ LSB		
5Dh	EP5XCNTLSB	R	EP5 受信バイトカウンタ LSB		

● レジスタの種類と配置 (続き 3)

カテゴリ	アドレス	記号	R/W	名称	
EP 対応	60h	EP0STAT		EP0 ステータス・レジスタ	
	61h	EP1STAT		EP1 ステータス・レジスタ	
	62h	EP2STAT		EP2 ステータス・レジスタ	
	63h	EP3STAT		EP3 ステータス・レジスタ	
	64h	EP4STAT		EP4 ステータス・レジスタ	
	65h	EP5STAT		EP5 ステータス・レジスタ	
		6Ch	EP4PLDMSB	R/W	EP4 ペイロード MSB レジスタ
		6Dh	EP5PLDMSB	R/W	EP5 ペイロード MSB レジスタ
	74h	EP4RXCNTMSB	R	EP4 受信バイトカウント MSB レジスタ	
	75h	EP5RXCNTMSB	R	EP5 受信バイトカウント MSB レジスタ	
オプション					
		3Eh	TXPKTCONT	R/W	送信パケットレディ制御レジスタ

■ レジスタの定義

● EP0 送信 FIFO (EP0TXFIFO)

アドレス	0x70
タイプ	Byte データ
アクセス種類	Write オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP0 送信データ							

70h アドレスにライトすることによって EP0 送信データを書き込むことができます。EP0TXFIFO には、コントロール Read 転送時のデータステージにおけるホストへの送信データが格納されます。ML60852A から EP0 送信パケットレディ割込みが要求されたら、ローカル MCU は 70h アドレスに送信データをライトします。連続してライトすることによりパケットデータを順次書き込むことができます。

EP0 送信 FIFO は下記条件のとき、クリアされます。

1. EP0 からのデータ送信に対するホストからの ACK を受信したとき。
2. セットアップパケットを受信したとき。

● EP0 受信 FIFO (EP0RXFIFO)

アドレス	0x78
タイプ	Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP0 受信データ							

EP0RXFIFO には、コントロール Write 転送時のデータステージにおけるホストからの受信データが格納されます。ML60852A から EP0 受信パケットレディ割込みが要求されたら、ローカル MCU は 78h アドレスをリードすることによって EP0 受信データを読み出します。連続してリードすることによりパケット内データを順次読み出すことができます。

EP0 受信 FIFO は下記条件のとき、クリアされます。

1. ローカル MCU が EP0 受信パケットレディをリセットしたとき。
2. セットアップパケットを受信したとき。
3. ローカル MCU がストールビットに 0 をライトしたとき。

● EP1 FIFO (EP1FIFO)

アドレス	0x79
タイプ	Byte データ
アクセス種類	Write オンリー または Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP1 送信データ、または EP1 受信データ							

EP1 コンフィグレーションレジスタ EP1CONF への設定により、EP1 の転送方向を指定できます。受信方向の場合も送信方向の場合も EP1 の FIFO アドレスは共通です。

EP1CONF(D7)=0 のとき、EP1 は受信方向、EP1FIFO は Read オンリー。

EP1CONF(D7)=1 のとき、EP1 は送信方向、EP1FIFO は Write オンリー。

送信に設定された場合、EP1FIFO クリアする (EP1CONT(D2)に 1 をライトする) ことにより、EP1 FIFO の全バイトをクリアできます。

● EP2 FIFO (EP2FIFO)

アドレス	0x7A
タイプ	Byte データ
アクセス種類	Write オンリー または Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP2 送信データ、または EP2 受信データ							

EP2 コンフィグレーションレジスタ EP2CONF への設定により、EP2 の転送方向を指定できます。受信方向の場合も送信方向の場合も EP2 の FIFO アドレスは共通です。

EP2CONF(D7)=0 のとき、EP2 は受信方向、EP2FIFO は Read オンリー。

EP2CONF(D7)=1 のとき、EP2 は送信方向、EP2FIFO は Write オンリー。

送信に設定された場合、EP2FIFO クリアする (EP2CONT(D2)に 1 をライトする) ことにより、EP2 FIFO の全バイトをクリアできます。

● EP3 FIFO (EP3FIFO)

アドレス	0x7B
タイプ	Byte データ
アクセス種類	Write オンリー または Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP3 送信データ、または EP3 受信データ							

EP3 コンフィグレーションレジスタ EP3CONF への設定により、EP3 の転送方向を指定できます。受信方向の場合も送信方向の場合も EP3 の FIFO アドレスは共通です。

EP3CONF(D7)=0 のとき、EP3 は受信方向、EP3FIFO は Read オンリー。

EP3CONF(D7)=1 のとき、EP3 は送信方向、EP3FIFO は Write オンリー。

送信に設定された場合、EP3FIFO クリアする (EP3CONT(D2)に 1 をライトする) ことにより、EP3 FIFO の全バイトをクリアできます。

● EP4 FIFO (EP4FIFO)

アドレス	0x7C
タイプ	Byte データ
アクセス種類	Write オンリー または Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP4 送信データ、または EP4 受信データ							

EP4 コンフィグレーションレジスタ EP4CONF への設定により、EP4 の転送方向を指定できます。受信方向の場合も送信方向の場合も EP4 の FIFO アドレスは共通です。

EP4CONF(D7)=0 のとき、EP4 は受信方向、EP4FIFO は Read オンリー。

EP4CONF(D7)=1 のとき、EP4 は送信方向、EP4FIFO は Write オンリー。

送信に設定された場合、EP4FIFO クリアする (EP4CONT(D2)に 1 をライトする) ことにより、EP4 FIFO の全バイトをクリアできます。

● EP5 FIFO (EP5FIFO)

アドレス	0x7D
タイプ	Byte データ
アクセス種類	Write オンリー または Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	x	x	x	x	x	x	x	x
バスリセット時	x	x	x	x	x	x	x	x
定義	EP5 送信データ、または EP5 受信データ							

ML60852A では、システム制御レジスタ(SYSCON)への設定により、EP 数が 5 個の 5EP モードと、EP 数が 6 個の 6EP モードのいずれかを選択することができます。5EP モードでは、EP0～EP4 が存在し、EP5 は存在しません。6EP モードでは、EP0～EP5 すべてが有効です。

EP5 コンフィグレーションレジスタ EP5CONF への設定により、EP5 の転送方向を指定できます。受信方向の場合も送信方向の場合も EP5 の FIFO アドレスは共通です。

EP5CONF(D7)=0 のとき、EP5 は受信方向、EP5FIFO は Read オンリー。

EP5CONF(D7)=1 のとき、EP5 は送信方向、EP5FIFO は Write オンリー。

送信に設定された場合、EP5FIFO クリアする (EP5CONT(D2)に 1 をライトする) ことにより、EP5FIFO の全バイトをクリアできます。

● bmRequestType セットアップ・レジスタ (bmRequestType)

アドレス	0x00
タイプ	ビットマップ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	タイプ		受信側の定義					

0=デバイス
1=インタフェース
2=エンドポイント
3=その他
4~31=予約

0=標準
1=クラス
2=ベンダ
3=予約

データ転送方向

0=ホストからデバイスへ
1=デバイスからホストへ

ホストからのリクエストに基づくコントロール転送のセットアップステージ中に、送信されてくる8バイトのセットアップデータが、ML60852Aによって自動受信され、このレジスタを含む8個のレジスタに格納されます。これらデータの形式はUSB規格9.3節に定義されています。

● bRequest セットアップ・レジスタ (bRequest)

アドレス	0x01
タイプ	Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	リクエストコード							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第2バイトがこのレジスタに格納されます。リクエストコードの内容はUSB規格9.3節および関連規格に規定されています。

● wValueLSB セットアップ・レジスタ (wValueLSB)

アドレス	0x02
タイプ	2Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	wValue LSB							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第3バイトがこのレジスタに格納されます。2バイトデータの下位バイトです。

● wValueMSB セットアップ・レジスタ (wValueMSB)

アドレス	0x03
タイプ	2Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	wValue MSB							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第4バイトがこのレジスタに格納されます。2バイトデータの上位バイトです。

● wIndexLSB セットアップ・レジスタ (wIndexLSB)

アドレス	0x04
タイプ	2Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	wIndex LSB							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第5バイトがこのレジスタに格納されます。2バイトデータの下位バイトです。

● wIndexMSB セットアップ・レジスタ (wIndexMSB)

アドレス	0x05
タイプ	2Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	wIndex MSB							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第6バイトがこのレジスタに格納されます。2バイトデータの上位バイトです。

● wLengthLSB セットアップ・レジスタ (wLengthLSB)

アドレス	0x06
タイプ	2Byte データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	wLengthLSB							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第7バイトがこのレジスタに格納されます。2バイトデータの下位バイトです。

● wLengthMSB セットアップ・レジスタ (wLengthMSB)

アドレス	0x07
タイプ	2Byte データ
アクセス種類	Read オンリー

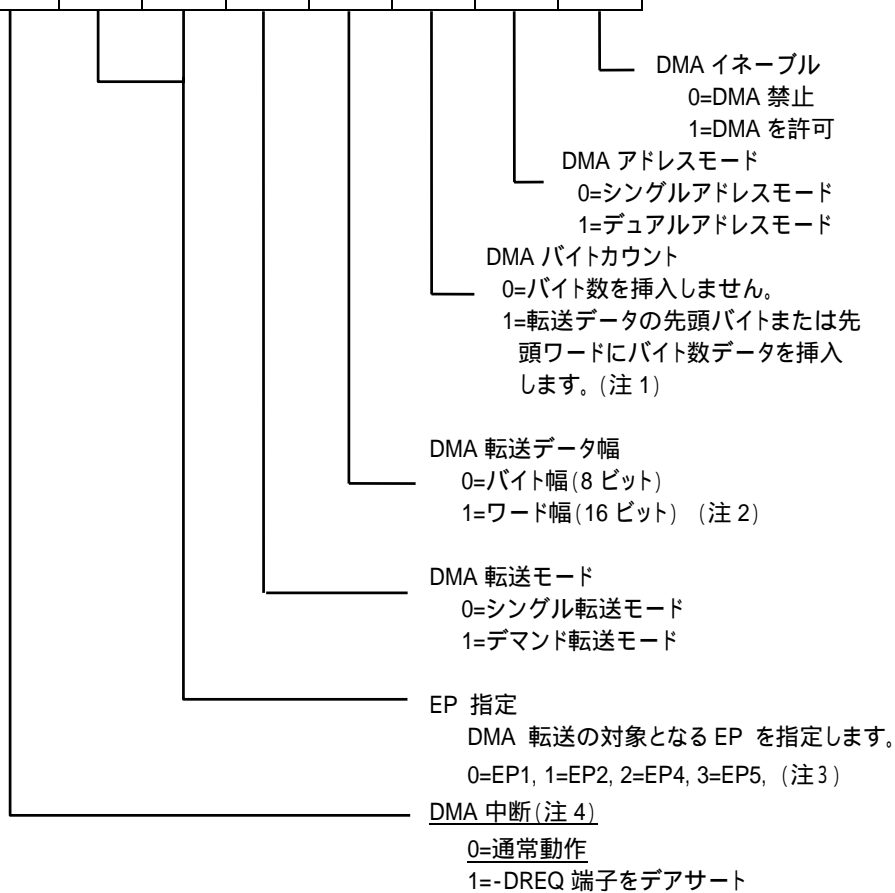
	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	wLength MSB							

コントロール転送のセットアップステージ中に、ホストから送信されてくる8バイトのセットアップデータがML60852Aによって自動受信され、その第8バイトがこのレジスタに格納されます。2バイトデータの上位バイトです。

● DMA0, 1 制御レジスタ (DMA0, 1CON)

アドレス	0x10, 0x12
タイプ	ビットマップ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	前の値を保持							
定義								



(注1) 16ビットモードの場合は、先頭ワードの上位バイトは 00h。

(注2) リトルエンディアンの順番で上位バイト、下位バイトが割りあてられます。すなわち、LSB が AD0 ~ AD7、MSB が D8 ~ D15 に対応します。

16ビットモードの場合で、かつパケットサイズが奇数バイトのときは、最終ワードの上位バイトは 00h。

(注3) DMA のチャンネル0、1の EP 指定がともに同じ値の場合は、DREQ0,1 および DACK0,1 がそれぞれ等価になります。

(注4) D7 以外のビット、すなわち、D0 ~ D6 の設定は初期化のとき(遅くとも EP1 ~ 5 に対するトークンパケットが到着するまでに)完了させ、それ以降は変更しないようにしてください。DMA 転送を途中で一時的に中断させたい場合は D7 に 1 をライトしてください。D7 を 0 に戻して転送を再開させたときには、中断した時点の次のバイト(あるいはワード)の転送から再開させることができます。

● DMA0, 1 インターバル・レジスタ (DMA0, 1INTVL)

アドレス	0x11, 0x13
タイプ	Byte データ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	前の値を保持							
定義	インターバル時間							

シングル DMA 転送モードのインターバル、すなわち、前回バイト(あるいは前回ワード)の DMA 終了後、DREQ が再びアサートされるまでの間隔を指定します。1 ビットタイムは、84ns (12MHz、1 周期分)です。

$$\text{インターバル時間} = (\text{DREQ イネーブル時間}) + 84xn \text{ (ns)}$$

DREQ イネーブル時間については DMA タイミング(1),(2),(5),(6)を参照してください。

● デバイスアドレス・レジスタ (DVCADR)

アドレス	0x20
タイプ	7ビットデータ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	デバイスアドレス (R/W)						

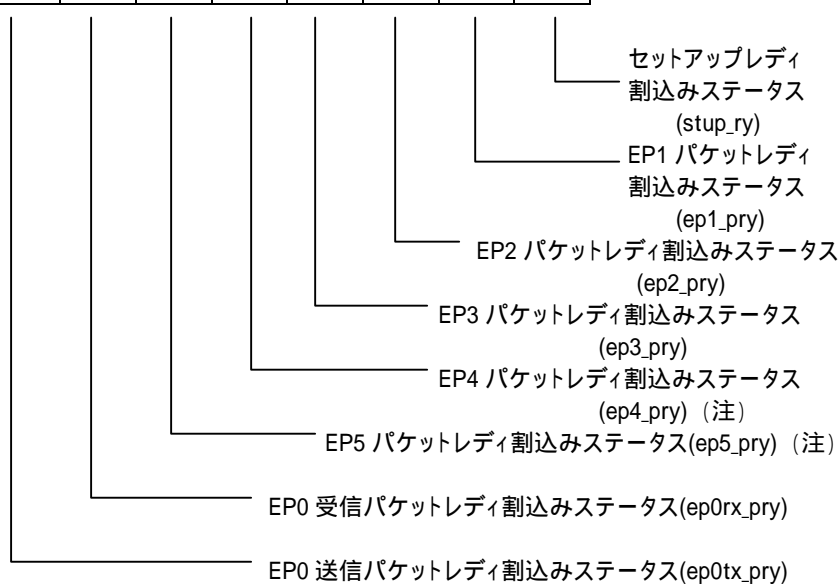
ホストからの SET_ADDRESS リクエストにより与えられたデバイスアドレスを、ローカル MCU がこのレジスタに書き込みます。以後は、ホストからのトークンの指定アドレスを ML60852A が判断し、このデバイスアドレスに送信されたトークンパケットのみをこのデバイスで処理するように動作します。

D7 ビットは 0 固定であり、1 を書きこんでも無効です。

● 割込みステータス・レジスタ 1 (INTSTAT1)

アドレス	0x21
タイプ	ビットマップ
アクセス種類	Read オンリ

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	x	x	x	x	x	x	x	0
定義								

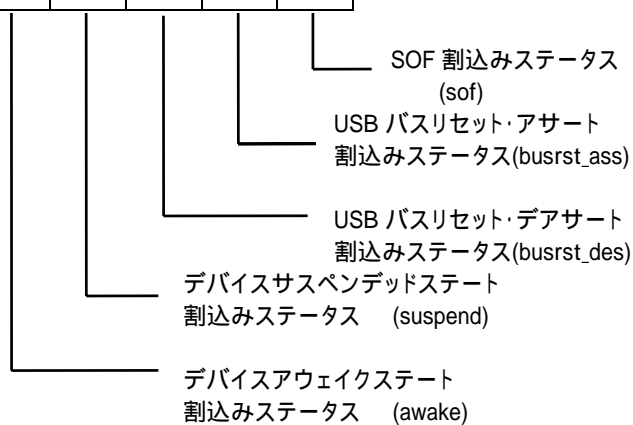


(注)EP4, 5 コンフィグレーションレジスタがアイソクロナス転送の設定になっているときは、EP4, 5 パケットレディ割り込みステータスは常に0固定になります。

● 割込みステータス・レジスタ 2 (INTSTAT2)

アドレス	0x22
タイプ	ビットマップ
アクセス種類	Read/Reset

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0					

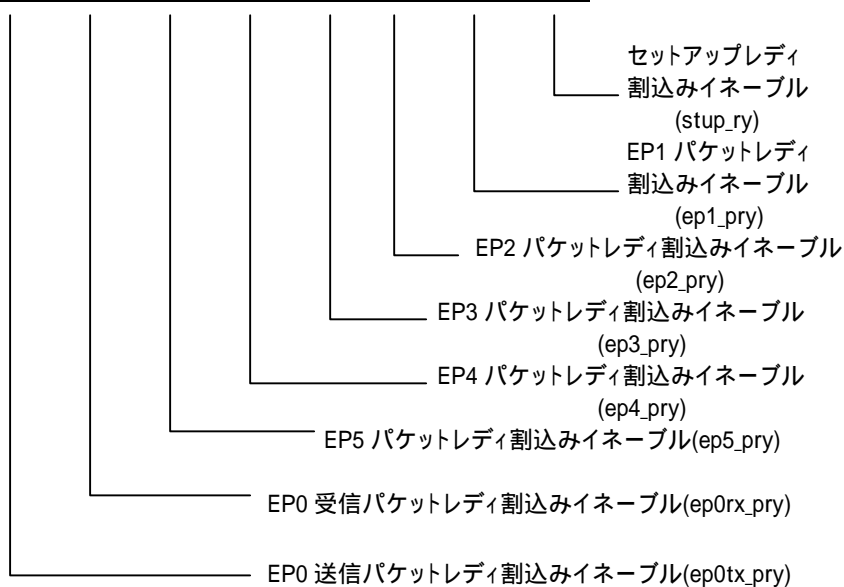


対応する割込みが発生するとステータスビットが 1 となります。
 ステータスビット自体に 1 を WRITE することによりステータスがクリアされます。
 (このデータシートの 20 ページ～27 ページも参照下さい。)

● 割込みイネーブル・レジスタ 1 (INTENBL1)

アドレス	0x24
タイプ	ビットマップ
アクセス種類	Read/Write

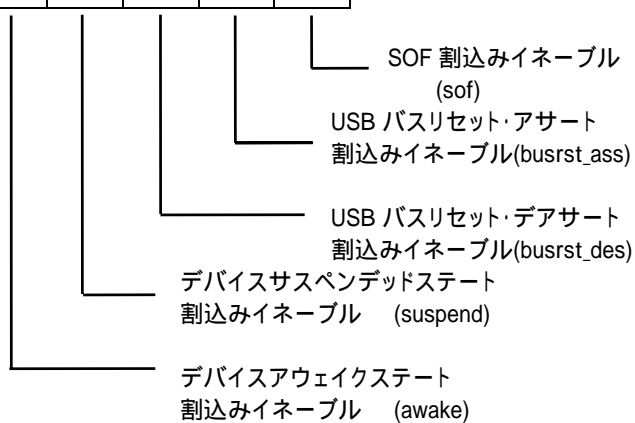
	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	1
バスリセット時	前の値を保持							
定義								



● 割込みイネーブル・レジスタ 2 (INTENBL2)

アドレス	0x25
タイプ	ビットマップ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	前の値を保持							
定義	0	0	0					



● フレーム番号レジスタ LSB (FRAMELSB)

アドレス	0x2D
タイプ	11bit データ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	フレーム番号 LSB							

アイソクロナス転送のエンドポイントを含む場合に有効。ホストからフレーム開始 (SOF) パケットが送信されたとき、ML60852A が自動的に FRAMELSB と FRAMEMSB に書き込みます。

● フレーム番号レジスタ MSB (FRAMEMSB)

アドレス	0x2E
タイプ	11bit データ
アクセス種類	Read オンリー

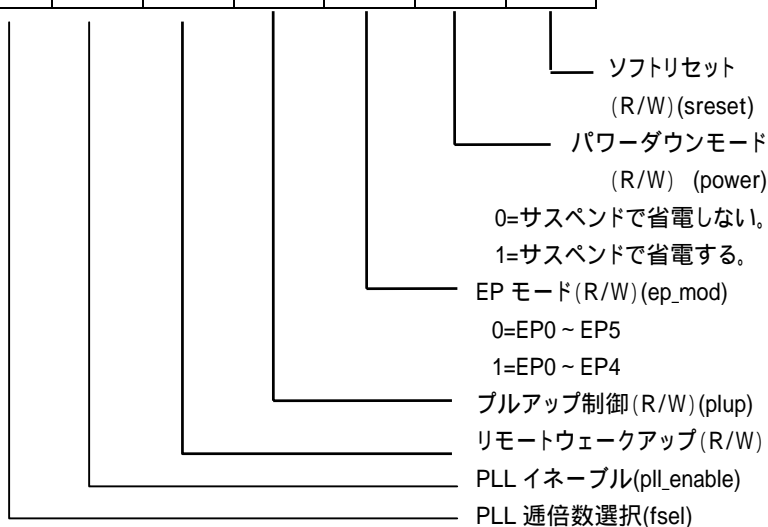
	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0	0	0	フレーム番号 MSB		

アイソクロナス転送のエンドポイントを含む場合に有効。ホストからフレーム開始 (SOF) パケットが送信されたとき、ML60852A が自動的に FRAMELSB と FRAMEMSB に書き込みます。

● システム制御レジスタ (SYSCON)

アドレス	0x2F
タイプ	ビットマップ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	以前の値を保持							0
定義	0							



ソフトリセット:ライトオンリー・ビット。このビットをリードしても0固定。このビットに1をライトするとシステムリセットが実行されます。機能的にはハードリセットと同じです。このビット自体は0のままです。

パワーダウンモード:Read/Write ビット。このビットが0のとき、サスペンド時にも発振停止しません。このビットを1にすると、サスペンド時に発振を停止し、省電状態に入ります。

EP モード :Read/Write ビット。このビットが0のとき、6EP モード、1のとき 5EP モードになります。

プルアップ制御:ADSEL 端子=Lのとき、このビットの値が有効になります。ADSEL 端子=Lのとき、このビットが1であれば、内部スイッチがオンしてALE 端子がVDD 電位を出力します。他方、ADSEL 端子=Lのときこのビットが0であれば、内部スイッチがオフしてALE 端子はGND となります。

リモートウェークアップ:このビットに1をライトするとリモートウェークアップが実行されます。このビット自体は0のままです。

PLL イネーブル:本ビットはリセットにより"0"にセットされます。初期化処理において、必ず"1"をセットする必要があります。

PLL 逡倍数選択:このビットが0のとき4逡倍。このビットが1のとき8逡倍。
 (4 逡倍時は原振を 12MHz、8 逡倍時は原振を 6MHz にします。)

● 極性選択レジスタ (POLSEL)

アドレス	0x30
タイプ	ビットマップ
アクセス種類	Read/Write

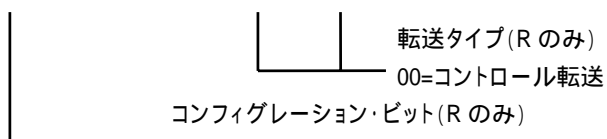
	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	前の値を保持							
定義	0	0	0					



● EPO コンフィグレーション・レジスタ (EPOCONF)

アドレス	0x40
タイプ	ビットマップ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	1	0	0	0	0
定義	0	0	0		0	0	0	0



転送タイプ : 転送タイプを示すビットですが、ML60852A では、EP0 はコントロール転送に決定している
ので、00b に固定です。このビットにローカル MCU から書き込みすることはできません。

コンフィグレーション・ビット: EP0 のコンフィグレーションビットは、USB バスリセットで 1 になります。
このビットが 1 のとき、ホストからこのエンドポイントへ送信されたデータを受信し、
また、このエンドポイントからホストへデータ送信することが可能になります。こ
のビットが 0 のときは、この EP を対象とするトランザクションに対して反応しませ
ん。このビットにローカル MCU から書き込みすることはできません。

● EP1, 2, 3, 4, 5 コンフィグレーション・レジスタ (EP1, 2, 3, 4, 5CONF)

アドレス	0x41 ~ 45
タイプ	ビットマップ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義		0	0		0	0		



転送タイプ : 転送タイプを示すビットです。EP4,5 のみアイソクロナス転送に設定できます。

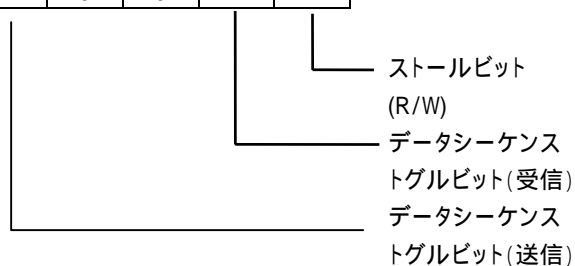
コンフィグレーション・ビット: ホストからその EP をアクティブにするような Set Configuration リクエストを受けたとき、コントロール転送のステータスステージで、ローカル MCU から 1 をライトしてください。
このビットが 1 のとき、ホストと EP 間のデータ送受信が可能になります。このビットが 0 のときは、その EP を対象とするトランザクションに対して反応しません。

転送方向 : EP のデータ転送方向を設定してください。

● EPO 制御レジスタ (EPOCONT)

アドレス	0x48
タイプ	ビットマップ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	X	0	0	X	0
バスリセット時	0	0	0	X	0	0	X	0
定義	0	0	0		0	0		



ストールビット: EPO 受信時(コントロール Write 転送のデータステージ)に、EPOPLD に記載された最大パケットサイズを超えるバイト数のパケット(あるいは EOP 欠落)を受信すると、ML60852A は自動的にこのビットを 1 にします。USB Rev 1.1 のプロトコルストールに対応させるため、セットアップパケット受信時に自動的に 0 になります。

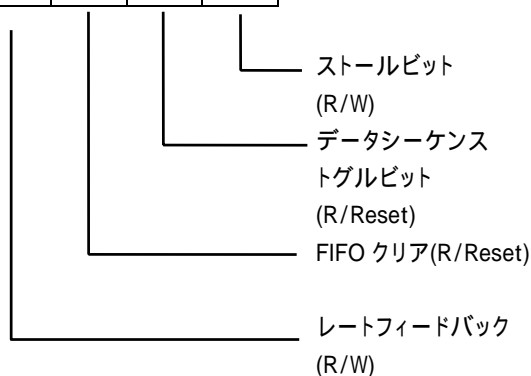
データシーケンス・トグル・ビット: データシーケンス・トグル・メカニズムによる同期は ML60852A が自動的に行います。

なお、このビット(D4 及び D1)への WRITE 動作は無効です。

● EP1, 2, 3, 4, 5 制御レジスタ (EP1, 2, 3, 4, 5CONT)

アドレス	0x49 ~ 4D
タイプ	ビットマップ
アクセス種類	下記参照

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0	0				



ストールビット: EP0 受信時(コントロール Write 転送のデータステージ)に、EP0PLD に記載された最大パケットサイズを超えるバイト数のパケット(あるいは EOP 欠落)を受信すると、ML60852A は自動的にこのビットを 1 にします。

データシーケンス・トグル・ビット: このビットは、1 をライトすると、リセットされます。EP を初期化する際、このビットに 1 をライトして、データパケットのトグルビットをリセットし、DATA0 の PID を指定します(このビットも 0 になります)。それ以降のデータシーケンス・トグル・メカニズムによる同期動作は自動的に行われます。

FIFO クリア : EP が EP 制御レジスタにより送信用に設定されたときのみ有効です。このビットに 1 をライトすると、その EP の送信 FIFO がクリアされます(このビット自体は 0 のままです)。

送信用の EP の初期化(コンフィグレーションの変更、またはホールド状態からの復帰等)のときに、本ビットを使用します。FIFO をクリアすると同時に、必ずデータシーケンスを DATA0 に初期化して下さい。

レートフィードバック: EP3 の場合のみ有効です。それ以外の EP の場合は本ビットは 0 固定になります。

● EP0 ペイロード・レジスタ (EP0PLD)

アドレス	0x50
タイプ	6 ビットデータ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	1	0	0	0	0	0
バスリセット時	0	0	1	0	0	0	0	0
定義	0	0	1	0	0	0	0	0



最大パケットサイズ : ML60852A では EP0 の FIFO は 32 バイトなので、デバイスデスクリプタの bMaxPacketSize0 バイトに 20h と書いてください。この EP0PLD では最大パケットサイズが 32 バイト固定です。32 バイトを超えるパケットを受信すると、EP0 ステータスレジスタのストールビットをアサートし、ホストにストールを返します。

● EP1, 2 ペイロード・レジスタ (EP1, 2PLD)

アドレス	0x51, 52
タイプ	7 ビットデータ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	最大パケットサイズ (R/W)						

最大パケットサイズ : ホストの Set_Configuration リクエストで選択されたエンドポイント・デスクリプタの wMaxPacketSize の値をローカル MCU からこのレジスタにライトしてください。ショートパケット以外のパケットのサイズをバイト単位で指定することになります。

EP が受信のときは、このレジスタに設定された最大パケットサイズを超えるバイト数のデータを受信すると、受信パケットレディをアサートせず、EOP でストールビットを立て、ホストにストール・ハンドシェイクを返します。

一方、EP が送信用のときは DMA コントローラによりこのレジスタに設定された最大パケットサイズ分の書き込みを完了した時に自動的に送信パケットレディビットがセットされます。DMA ではない送信では、このレジスタの内容はドントケアになります。

● EP3 ペイロード・レジスタ (EP3PLD)

アドレス	0x53
タイプ	6 ビットデータ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0						



最大パケットサイズ
(R/W)

最大パケットサイズ :ホストの Set_Configuration リクエストで選択されたエンドポイント・デスク립タの wMaxPacketSize の値をローカル MCU からこのレジスタにライトしてください。ショートパケット以外のパケットのパケットサイズをバイト単位で指定することになります。FIFOが32バイトなので 20h(32 バイト)以下に設定してください。
EP3 が受信のとき、このレジスタに設定された最大パケットサイズを超えるバイト数のデータを受信すると、受信パケットレディをアサートせず、データパケットの EOP でストールビットを立て、ホストにストール・ハンドシェイクを返します。
EP3 を送信用に使う場合には、このレジスタを使う必要がありません。

● EP4, 5 ペイロード・レジスタ LSB (EP4, 5PLDLSB)

アドレス	0x54, 55
タイプ	10 or 9 ビットデータ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	最大パケットサイズ LSB (R/W)							

最大パケットサイズ LSB :ホストの Set_Configuration リクエストで選択されたエンドポイント・デスク립タの wMaxPacketSize の値をローカル MCU からこのレジスタにライトしてください。下位 8 ビットをこのレジスタに、また上位ビットを EP4,5 ペイロード MSB レジスタに格納してください。最大パケットサイズをバイト単位で指定することになります。

EP が受信のときは、設定された最大パケットサイズを超えるバイト数のデータを受信すると、受信パケットレディをアサートせず、EOP でストールビットを立て、ホストにストール・ハンドシェイクを返します。
一方、EP が送信用のときは DMA コントローラによりこのレジスタに設定された最大パケットサイズ分の書き込みを完了した時に自動的に送信パケットレディビットがセットされます。

● EP0 受信バイト数カウンタ (EP0RXCNT)

アドレス	0x58
タイプ	6ビットデータ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	受信バイトカウンタ(R)					

ML60852A は自動的に、受信中のパケットのバイト数をカウントします。フルパケットの場合はペイロードレジスタに記載される最大パケットサイズのバイト数だけカウントしますが、ショートパケットではそれに満たないカウント数になります。ローカル MCU はこの値を参照して、1パケットのデータを EP0 受信 FIFO からリードします。

EP0RXCNT は下記条件のとき、クリアされます。

- 1.ローカル MCU が EP 受信パケットレディをリセットしたとき。
- 2.セットアップパケットを受信したとき。
- 3.ローカル MCU がストールビットに 0 をライトしたとき。

● EP1, 2 受信バイトカウンタ (EP1, 2RXCNT)

アドレス	0x59, 5A
タイプ	7ビットデータ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	受信バイトカウンタ(R)						

ML60852A は自動的に、受信中のパケットのバイト数をカウントします。フルパケットの場合はペイロードレジスタに記載される最大パケットサイズのバイト数だけカウントしますが、ショートパケットではそれに満たないカウント数になります。ローカル MCU はこの値を参照して、1パケットのデータを EP1/2 受信 FIFO からリードします。

EP の転送方向を送信側に設定した場合には、このレジスタは無効です。

EP1, 2RXCNT は下記条件のとき、クリアされます。

- 1.EP に対する OUT トークン受信時。
- 2.ローカル MCU が EP 受信パケットレディをリセットしたとき。
- 3.ローカル MCU がストールビットに 0 をライトしたとき。

● EP3 受信バイトカウント (EP3RXCNT)

アドレス	0x5B
タイプ	6 ビットデータ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	受信バイトカウント(R)					

ML60852Aは自動的に、受信中のパケットのバイト数をカウントします。フルパケットの場合はペイロードレジスタに記載される最大パケットサイズのバイト数だけカウントしますが、ショートパケットではそれに満たないカウント数になります。ローカル MCU はこの値を参照して、1パケットのデータをEP3受信FIFOからリードできます。

EP3の転送方向を送信側に設定した場合には、このレジスタは無効です。

EP3RXCNTは下記条件のとき、クリアされます。

1. EP3に対するOUTトークン受信時。
2. ローカルMCUがEP受信パケットレディをリセットしたとき。
3. ローカルMCUがストールビット0をライトしたとき。

● EP4, 5 受信バイトカウント LSB (EP4, 5RXCNTLSB)

アドレス	0x5C, 5D
タイプ	10or9 ビットデータ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	受信バイトカウント LSB(R)							

ML60852Aは自動的に、受信中のパケットのバイト数をカウントします。フルパケットの場合はペイロードレジスタに記載される最大パケットサイズのバイト数だけカウントしますが、ショートパケットではそれに満たないカウント数になります。ローカル MCU はこの値を参照して、1パケットのデータをEP4/5受信FIFOからリードします。受信バイト数の下位8ビットはこのレジスタに、また上位ビットはEP受信バイトカウンタMSBに格納されます。

EPの転送方向を送信側に設定した場合には、このレジスタは無効です。

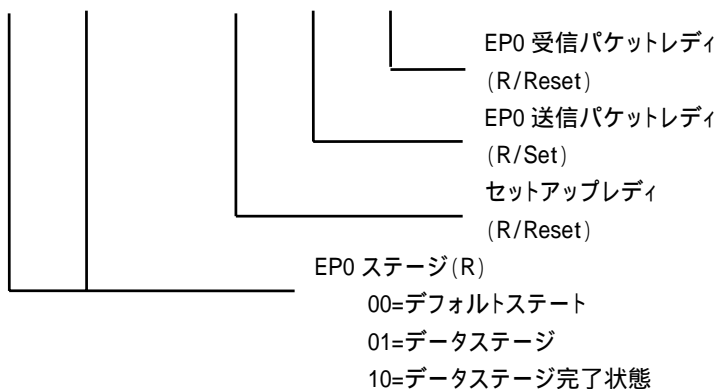
EP4,5RXCNTは下記条件のとき、クリアされます。

1. EPに対するOUTトークン受信時。
2. ローカルMCUがEP受信パケットレディをリセットしたとき。
3. ローカルMCUがストールビットに0をライトしたとき。

● EP0 ステータス・レジスタ (EPOSTAT)

アドレス	0x60
タイプ	ビットマップ
アクセス種類	下記参照

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0			0			



セットアップレディ: 8 バイトのセットアップレジスタに格納するセットアップパケットが正常に到着したときに自動的にセットされ、EP0 受信 FIFO がロックされます。INTENBL1(0)がアサートされていれば、このビットがセットされると自動的に-INTR がアサートされます。ローカル MCU は、8 バイトセットアップデータをリードし終わったらこのビットに 1 をライトしてください。そうすることで、セットアップレディがリセットされ、-INTR 端子もデアサートになります。コントロール・ライト転送のときは、EP0 パケットレディも併せてリセットされ、ロックが解除されてデータステージ中に EP0 でパケット受信が可能になります。

なお、このビットに 0 をライトしてもレジスタの値は変化しません。

EP0 送信パケットレディ・ビット(D1)

ローカル MCU からリード可能です。また、D1=1 でライトすることによって、このビットを 1 にすることができます。

このビットのアサートおよびデアサート条件は下記の通りです。

ビット名	アサート条件	アサート時の動作
EP0 送信パケットレディ (D1)	ローカル MCU がこのビットをセットしたとき。	EP0 からのデータ送信可能。

ビット名	デアサート条件	デアサート時の動作
EP0 送信パケットレディ (D1)	1.EP0 からのデータ送信に対するホストからの ACK を受信したとき。 2.セットアップパケット受信時。	EP0 をロック。すなわちホストからの IN トークンが来たとき自動的に NAK を返します。

EP0 受信パケットレディビット(D0)

ローカル MCU からリード可能です。また、D0=1 でライトすることによって、このビットを 0 にすることができます。

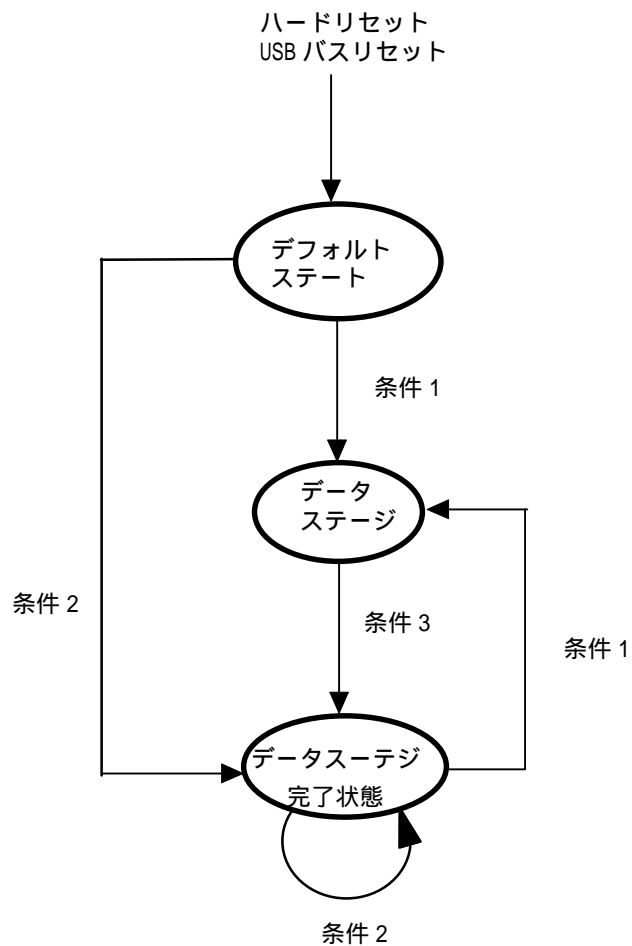
このビットのアサートおよびデアサート条件は下記の通りです。

ビット名	アサート条件	アサート時の動作
EP0 受信パケットレディ (D0)	1. EP0 でデータ受信し、FIFO に格納したとき。 2. コントロール Read、コントロール Write 転送で、セットアップパケットを受信したとき。	EP0 をロック(すなわち、ホストからデータパケットが来たとき自動的に NAK を返す)します。

ビット名	デアサート条件	デアサート時の動作
EP0 受信パケットレディ (D0)	1. ローカル MCU がこのビットをリセット (1 をライト)したとき。 2. コントロール Write 転送時にローカル MCU がセットアップレディビットをリセットしたとき。	EP0 で受信可能。

EP0 ステージ (D5,D4)

コントロール転送時のステージ推移を表示します。各ステージ間の遷移条件図を次にしめします。



条件 1: コントロール READ 転送、コントロール WRITE 転送のセットアップパケットを受信。

条件 2: 無データ・コントロール転送のセットアップパケットを受信。

条件 3: データステージのデータの流れと反対方向のトークン (IN / OUT) を受信

● EP1, 2, 4, 5 ステータス・レジスタ (EP1, 2, 4, 5STAT)

アドレス	0x61, 62, 64, 65
タイプ	ビットマップ
アクセス種類	下記参照

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0	0	0	0		



対応する EP がバルクまたはインタラプト転送に設定されたときのみ本レジスタが有効になります。

EP1,2,4,5 受信パケットレディ・ビット(D0)

ローカルMCU からリード可能です。また、D0 に 1 をライトすることによって、このビットを 0 にすることができます。このビットのアサートおよびデアサート条件は下記の通りです。EP1, 2, 4, 5 は 2 面の FIFO を持っており、パケットレディビットも A 面 B 面それぞれ独立して存在します。これら 2 面の切替えは ML60852A が自動的に行います。

ビット名	アサート条件	アサート時の動作
EP1 受信パケットレディ (D0)	A 面か B 面のどちらか一方にエラーのないパケットを受信したとき。	ローカル MCU から EP1 受信 FIFO をリードすることが可能。A 面と B 面両方がパケットデータを受信した状態のとき、EP1 をロック。

ビット名	デアサート条件	デアサート時の動作
EP1 受信パケットレディ (D0)	ローカル MCU が A 面と B 面の両方のビットをリセット (1 をライト) したとき。	A 面または B 面のどちらか一方のビットがリセットされているとき EP1 で受信可能。

EP1,2,4,5 送信パケットレディ・ビット(D1)

ローカルMCU からリード可能です。また、D1 に 1 をライトすることによって、このビットを 1 にすることができます。このビットのアサートおよびデアサート条件は下記の通りです。EP1 は 2 面の FIFO を持っており、パケットレディビットも A 面 B 面それぞれ独立して存在します。これら 2 面の切替えは ML60852A が自動的に行います。

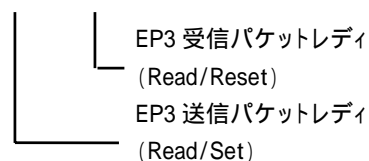
ビット名	アサート条件	アサート時の動作
EP1 送信パケットレディ (D1)	(1)EPn 送信パケットレディ制御ビット=0 の場合 ローカルMCU が A 面と B 面の両方のビットをセットしたとき。 (2)EPn 送信パケットレディ制御ビット=1 の場合 ローカルMCU が A 面または B 面のどちらか一方のビットをセットしたとき。	A 面または B 面のどちらか一方がアサートされているとき EP1 から送信可能。

ビット名	デアサート条件	デアサート時の動作
EP1 送信パケットレディ (D1)	(1)EPn 送信パケットレディ制御ビット=0 の場合 A 面または B 面のどちらか一方にデータ送信に対するホストからの ACK を受信したとき。 (2)EPn 送信パケットレディ制御ビット=1 の場合 A 面と B 面の両方にデータ送信に対するホストからの ACK を受信したとき。	A 面と B 面両方が送信データの準備ができていないとき、EP1 をロック。

● EP3 ステータス・レジスタ (EP3STAT)

アドレス	0x63
タイプ	ビットマップ
アクセス種類	下記参照

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0	0	0	0		



対応する EP がバルクまたはインタラプト転送に設定されたときのみ本レジスタが有効になります。

EP3 受信パケットレディ・ビット(D0)

ローカル MCU からリード可能です。また、D0 に 1 をライトすることによって、このビットを 0 にすることができます。このビットのアサートおよびデアサート条件は下記の通りです。

ビット名	アサート条件	アサート時の動作
EP3 受信パケットレディ (D0)	エラーのないパケットを受信したとき。	EP3 をロック。

ビット名	デアサート条件	デアサート時の動作
EP3 受信パケットレディ (D0)	ローカル MCU がこのビットをリセット(1 をライト)したとき。	EP3 で受信可能。

EP3 送信パケットレディ・ビット(D1)

ローカル MCU からリード可能です。また、D1 に 1 をライトすることによって、このビットを 1 にすることができます。このビットのアサートおよびデアサート条件は下記の通りです。

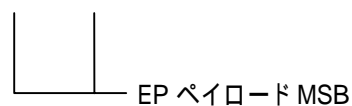
ビット名	アサート条件	アサート時の動作
EP3 送信パケットレディ (D1)	ローカル MCU がこのビットをセットしたとき。	EP3 から送信可能。

ビット名	デアサート条件	デアサート時の動作
EP3 送信パケットレディ (D1)	EP3 からのデータ送信に対するホストからの ACK を受信したとき。	EP3 をロック。

● EP4, 5 ペイロード・レジスタ MSB (EP4, 5PLDMSB)

アドレス	0x6C, 6D
タイプ	10or9 ビットデータ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0	0	0	0		

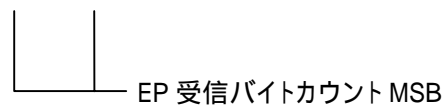


EP4PLDMSB は上位 6 ビットが 0 固定、EP5PLDMSB は上位 7 ビットが 0 固定。

● EP4, 5 受信バイトカウント MSB (EP4, 5RXCNTMSB)

アドレス	0x74, 75
タイプ	10or9 ビットデータ
アクセス種類	Read オンリー

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	0	0	0	0	0	0	0	0
定義	0	0	0	0	0	0		

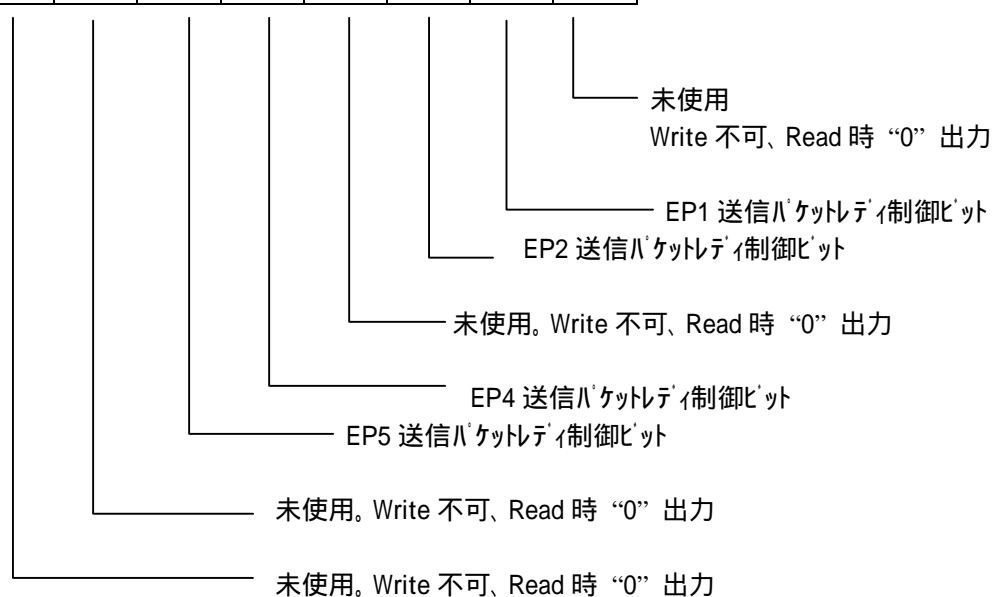


EP4RXCNTMSB は上位 6 ビットが 0 固定、EP5RXCNTMSB は上位 7 ビットが 0 固定。

● 送信パケットレディ制御レジスタ (TXPKTCONT)

アドレス	0x3E
タイプ	ビットマップ
アクセス種類	Read/Write

	D7	D6	D5	D4	D3	D2	D1	D0
ハードリセット時	0	0	0	0	0	0	0	0
バスリセット時	前の値を保持							
定義	0	0			0			0



EPn(n=1,2,4,5)送信パケットレディ制御ビット

このビットへ 1 を書き込むことにより、EP1,2,4,5 送信パケットレディ割込みのアサート/デアサート条件および EPn(n=1,2,4,5)ステータス・レジスタの対応するビットの動作に影響を与えます。

EPn(n=1,2,4,5)ステータス・レジスタについては、レジスタ説明の箇所ですべて詳述しますので参照してください。

送信時(ML60852 HOST)のみ影響を与え、受信時(HOST ML60852)は影響を与えません。

● 送信 FIFO の状態、及び、各 EP のレジスタの状態と INTR 信号の関係

送信 FIFO の状態	各 EP のレジスタの状態 パケットレディ割込みイネーブル Bit = 1 送信パケットレディ制御 Bit = 0	各 EP のレジスタの状態 パケットレディ割込みイネーブル Bit = 1 送信パケットレディ制御 Bit = 1
2 面共に”空”でない	INTR 信号はデ・アサート状態	INTR 信号はデ・アサート状態
1 面は”空”、 もう 1 面は”空”でない	INTR 信号はアサート状態	INTR 信号はデ・アサート状態
2 面共に”空”	INTR 信号はアサート状態	INTR 信号はアサート状態

送信 FIFO ”空”の定義

次の条件の内いずれか 1 つ満足するとき、送信 FIFO ”空”とする。

- (1) 送信初期状態で、ローカル MCU が EPnSTAT レジスタの D1 ビットに 1 を未だ Write していない。
- (2) ローカル MCU が Write した送信データが HOST に転送され、HOST から ACK が返ってきた。

対応する EP のパケットレディ割込みイネーブルがデ・アサートであれば、送信 FIFO の状態に依らず INTR 信号はデ・アサート状態になります。

(他の割込み要因が発生した時は、勿論 INTR 信号はアサート状態になります。)

送信パケットレディ制御ビットを使用することで、送信パケットレディ割込みの発生要因を変更出来ます。
例えば、送信 FIFO が「1 面は”空”、もう 1 面は”空”でない。」状態とすると、

送信パケットレディ制御ビットを 0 から 1 にすると、

INTR 信号はアサート状態からデ・アサート状態になります。

送信パケットレディ制御ビットを 1 から 0 にすると、

INTR 信号はデ・アサート状態からアサート状態になります。

■ 電気的特性（交流特性）

● READ タイミング（1）

（アドレスセパレート、ADSEL=0）

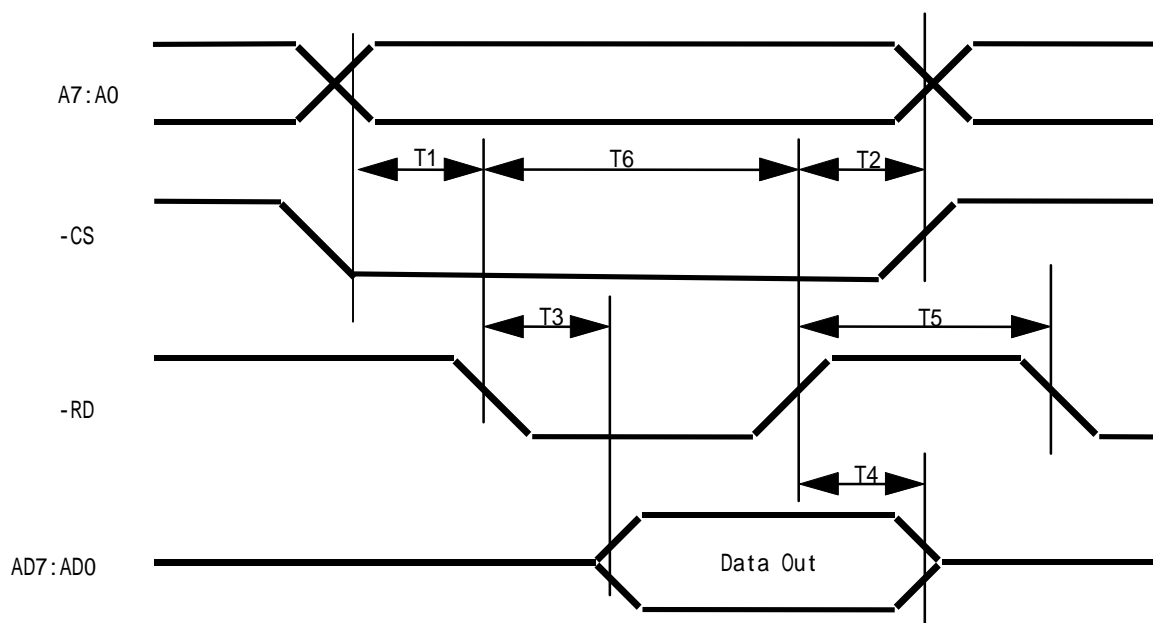
（VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80）

項目	記号	条件	Min.	Max.	単位	注
アドレスセットアップ時間	T1		0	-	ns	
アドレスホールド時間	T2		0	-	ns	2
リードデータ遅延時間	T3	負荷容量 CL= 20pF	-	46	ns	1
リードデータホールド時間	T4	負荷容量 CL= 20pF、 プルアップ抵抗 Rup = 100K	0	-	ns	
リカバリ時間	T5	FIFO READ 時	63	-	ns	3
FIFO アクセス時間	T6	FIFO READ 時	63	-	ns	3

（注 1）T3 は、-CS、-RD のうち遅い方のアクティブ変化から規定。

（注 2）T2 は -CS、-RD のうち早い方のインアクティブ変化から規定。

（注 3）発振クロック（周期 21ns）の 3 クロックの時間。FIFO アドレスをインクリメントするために必要。



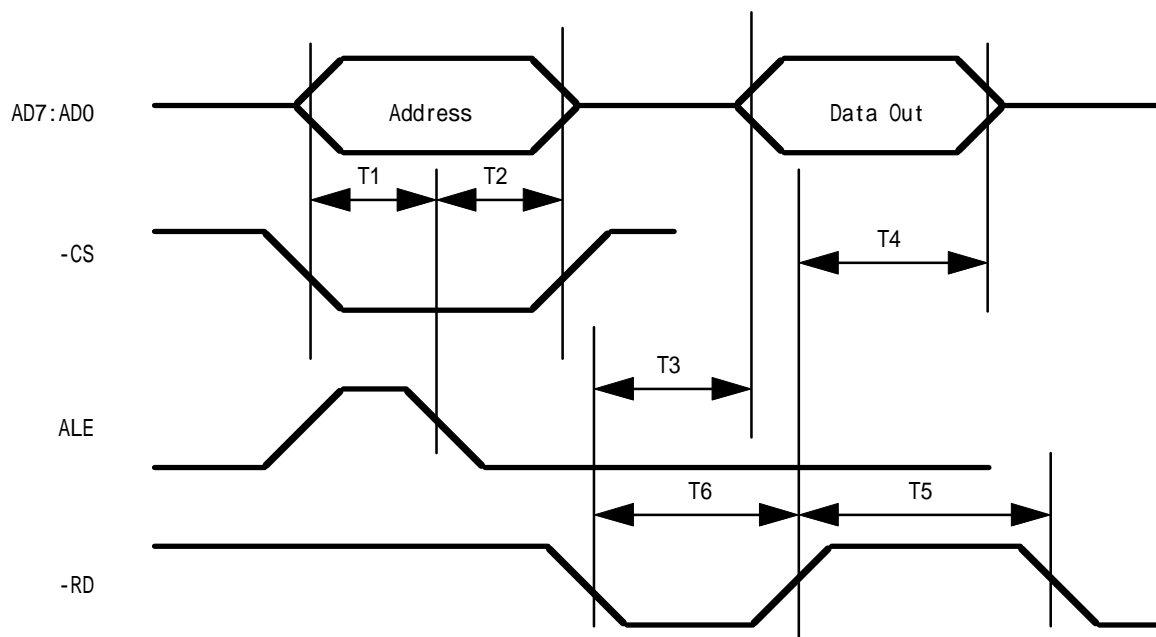
● READ タイミング (2)

(アドレス/データマルチプレックス、ADSEL=1)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
アドレスセットアップ時間	T1		10	-	ns	
アドレス(CS)ホールド時間	T2		5	-	ns	
リードデータ遅延時間	T3	負荷容量 CL= 20pF	-	46	ns	
リードデータホールド時間	T4	負荷容量 CL= 20pF、 プルアップ抵抗 Rup = 100K	0	-	ns	
リカバリ時間	T5	FIFO READ 時	63	-	ns	1
FIFO アクセス時間	T6	FIFO READ 時	63	-	ns	1

(注 1) 発振クロック(周期 21ns)の3クロックの時間。FIFO アドレスをインクリメントするために必要。



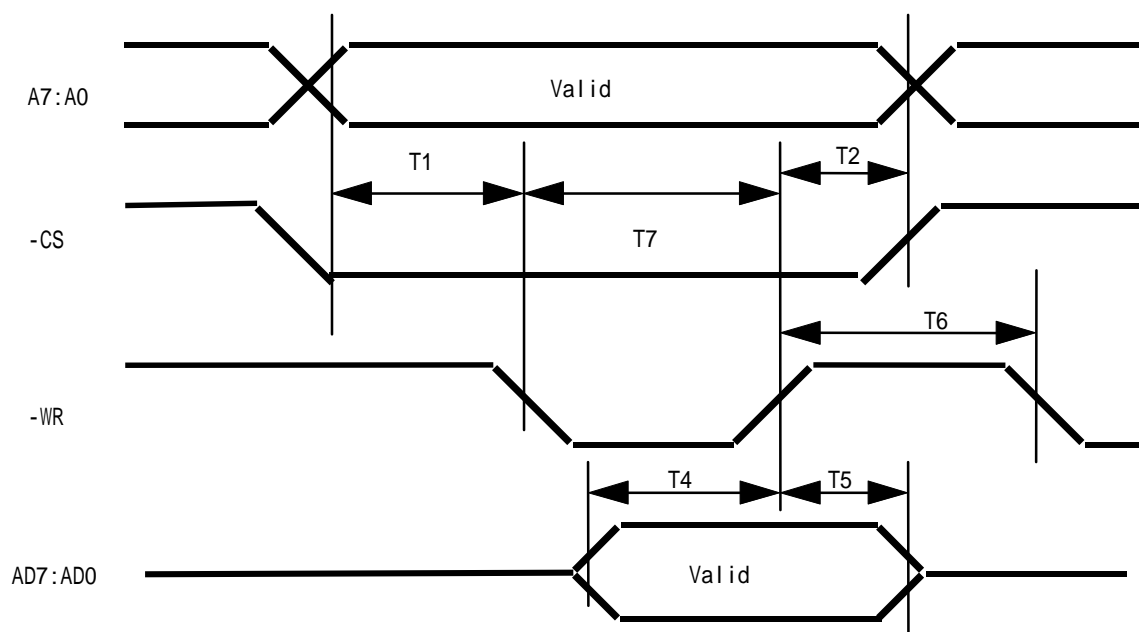
● WRITE タイミング (1)

(アドレスセパレート、ADSEL=0)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
アドレスセットアップ時間	T1		0	-	ns	
アドレス (CS) ホールド時間	T2		0	-	ns	
ライトデータセットアップ時間	T4		30	-	ns	
ライトデータホールド時間	T5		0	-	ns	
リカバリ時間	T6	FIFO WRITE 時	63	-	ns	1
FIFO アクセス時間	T7	FIFO WRITE 時	63	-	ns	1

(注 1) 発振クロック (周期 21ns) の 3 クロック時間。FIFO のアドレスをインクリメントするのに必要。



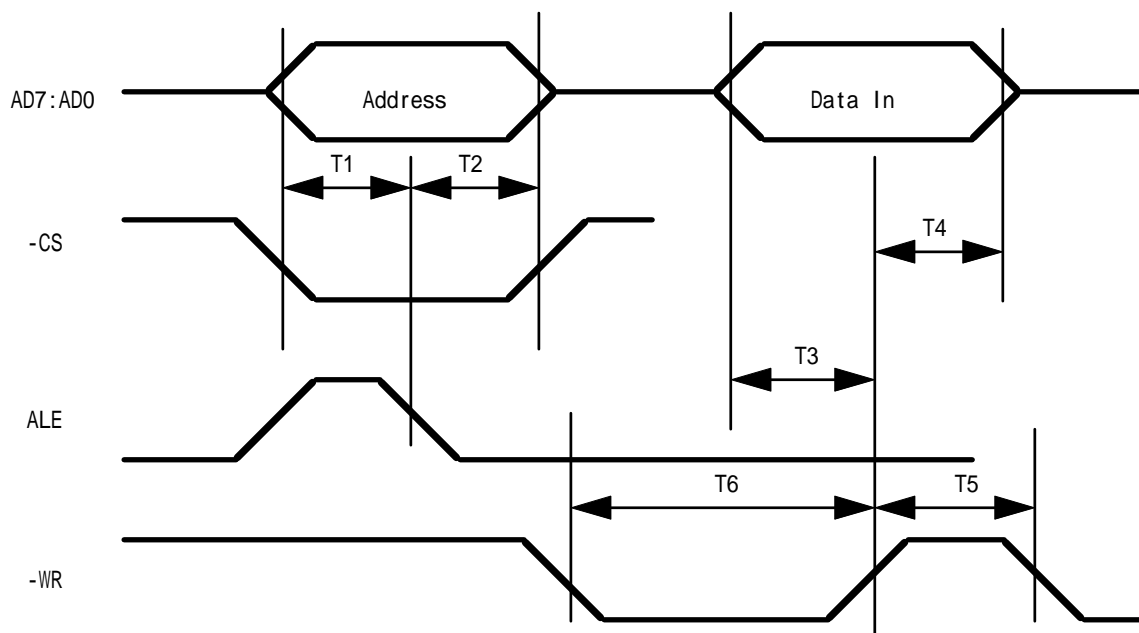
● WRITE タイミング (2)

(アドレス/データマルチプレックス、ADSEL=1)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
アドレス(CS)セットアップ時間	T1		10	-	ns	
アドレス(CS)ホールド時間	T2		5	-	ns	
ライトデータセットアップ時間	T3		30	-	ns	
ライトデータホールド時間	T4		0	-	ns	
リカバリ時間	T5	FIFO WRITE 時	63	-	ns	1
FIFO アクセス時間	T6	FIFO WRITE 時	63	-	ns	1

(注 1) 発振クロック(周期 21ns)の 3 クロック時間。FIFO のアドレスをインクリメントするのに必要。



● DMA 転送タイミング (1)

ML60852A メモリ (シングル転送、シングルアドレスモード)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

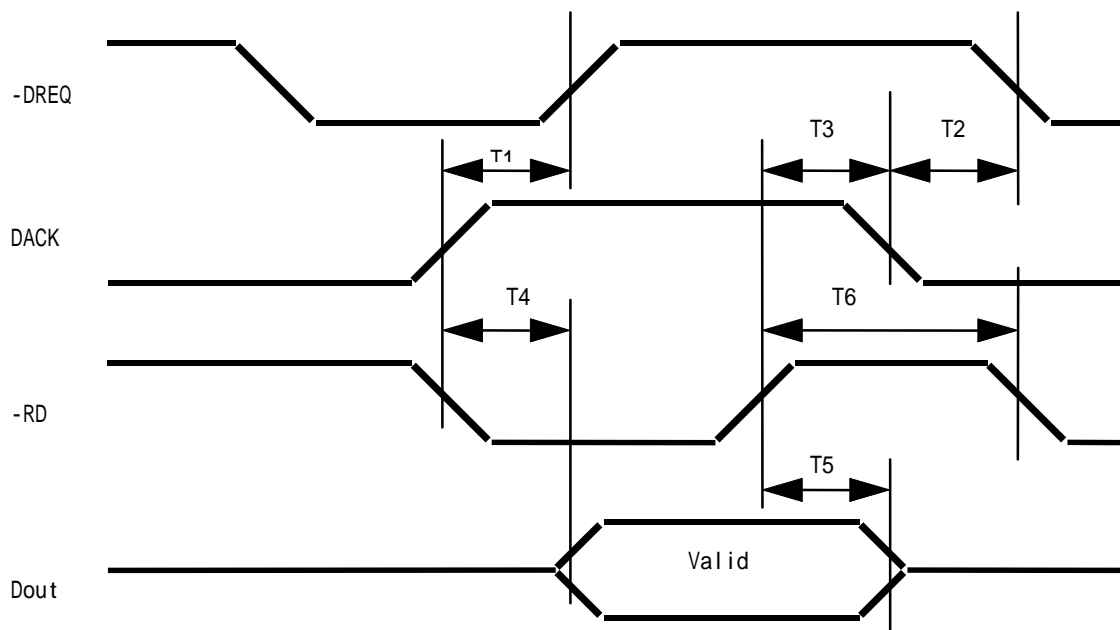
項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
DREQ イネーブル時間	T2	負荷容量 CL= 20pF	-	63	ns	4
DACK ホールド時間	T3		0	-	ns	
リードデータ遅延時間	T4	負荷容量 CL= 20pF	-	46	ns	1
データホールド時間	T5	負荷容量 CL= 20pF、 プルアップ抵抗 Rup = 100K	0	-	ns	
リカバリ時間	T6	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注1) シングルアドレスモードのとき、-CS は”H”固定、A7:A0 は無効。T1、T4 は、DACK、-RD のうち遅い方のアクティブ変化から規定。

(注2) 発振クロック(周期 21ns)、3 クロック時間。

(注3) 発振クロック(周期 21ns)、5 クロック時間。

(注4) T2 は DMA インターバルレジスタ(DMAINTVL)への設定で引き延ばすことができます。



Dout: 8bitDMA モード : AD7 ~ AD0 端子、

16bitDMA モード : AD7 ~ AD0 端子、D15~D8 端子

● DMA 転送タイミング (2)

ML60852A メモリ (シングル転送、デュアルアドレスモード)
(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
DREQ イネーブル時間	T2	負荷容量 CL= 20pF	-	63	ns	4
リードデータ遅延時間	T3	負荷容量 CL= 20pF	-	46	ns	1
データホールド時間	T4	負荷容量 CL= 20pF、 プルアップ抵抗 Rup = 100K	0	-	ns	
リカバリ時間	T5	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

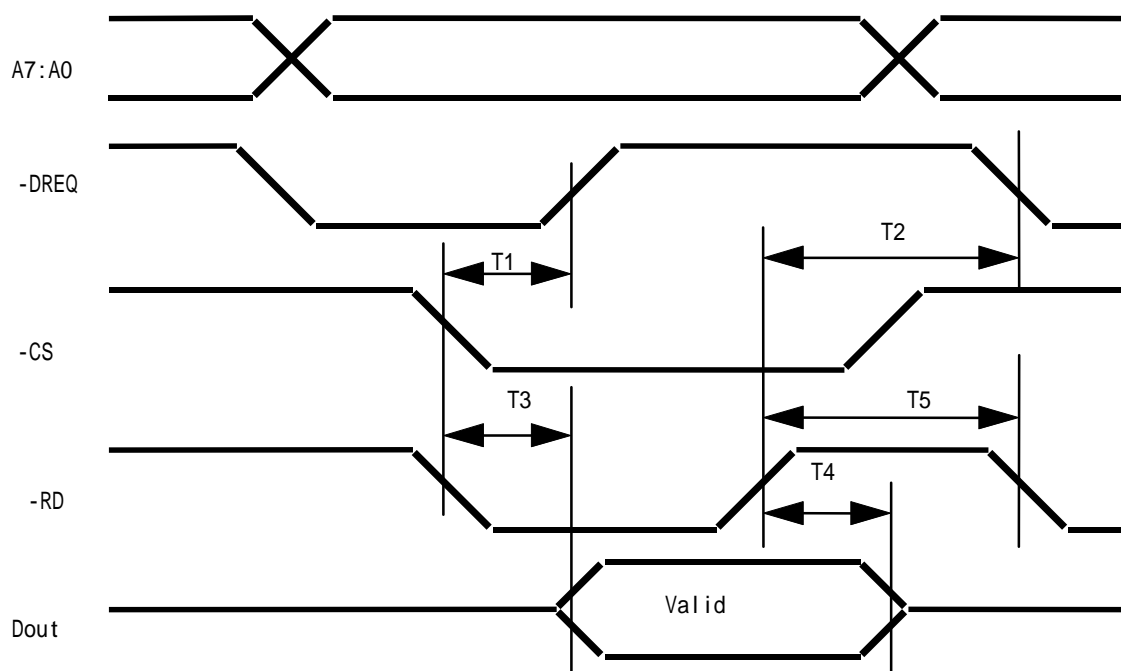
(注1) デュアルアドレスモードでは、DACK 信号は無効。 T1、T3 は -CS、-RD のうち遅い方のアクティブ変化から規定。

A7:A0 は FIFO アドレスを指定する。アドレスセットアップ、ホールド時間は READ タイミング(1)を参照。

(注2) 発振クロック(周期 21ns)、3 クロック時間。

(注3) 発振クロック(周期 21ns)、5 クロック時間。

(注4) T2 は DMA インターバルレジスタ(DMAINTVL)への設定で引き延ばすことができます。



Dout: 8bitDMA モード : AD7~AD0 端子

16bitDMA モード : AD7~AD0 端子、D15~D8 端子

● DMA 転送タイミング (3)

ML60852A メモリ (デマンド転送、シングルアドレスモード)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

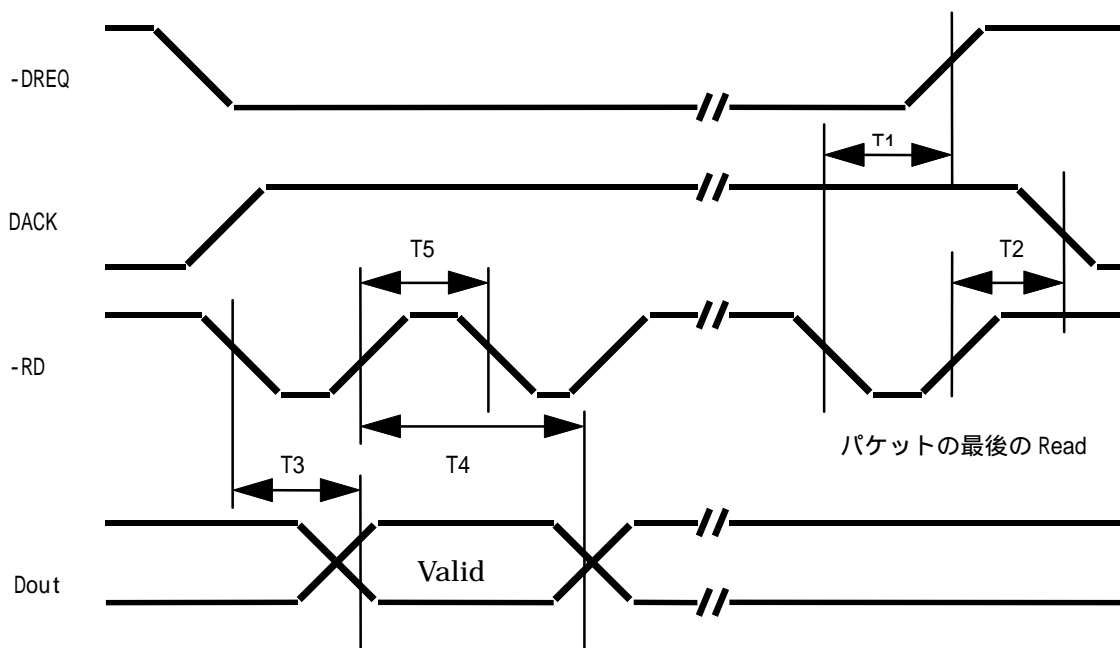
項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
DREQ イネーブル時間	T2	負荷容量 CL= 20pF	0	-	ns	
リードデータ遅延時間	T3	負荷容量 CL= 20pF	-	46	ns	1
データホールド時間	T4	負荷容量 CL= 20pF、 プルアップ抵抗 Rup = 100K	0	-	ns	
リカバリ時間	T5	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注 1) シングルアドレスモードのとき、T3 は DACK、-RD のうち遅い方のアクティブ変化から規定。

-CS は“H”固定、A7:A0 は無効。

(注 2) 発振クロック(周期 21ns)、3 クロック時間。

(注 3) 発振クロック(周期 21ns)、5 クロック時間。



Dout: 8bitDMA モード : AD7~AD0 端子

16bitDMA モード : AD7~AD0 端子、D15~D8 端子

● DMA 転送タイミング (4)

ML60852A メモリ (デマンド転送、デュアルアドレスモード)

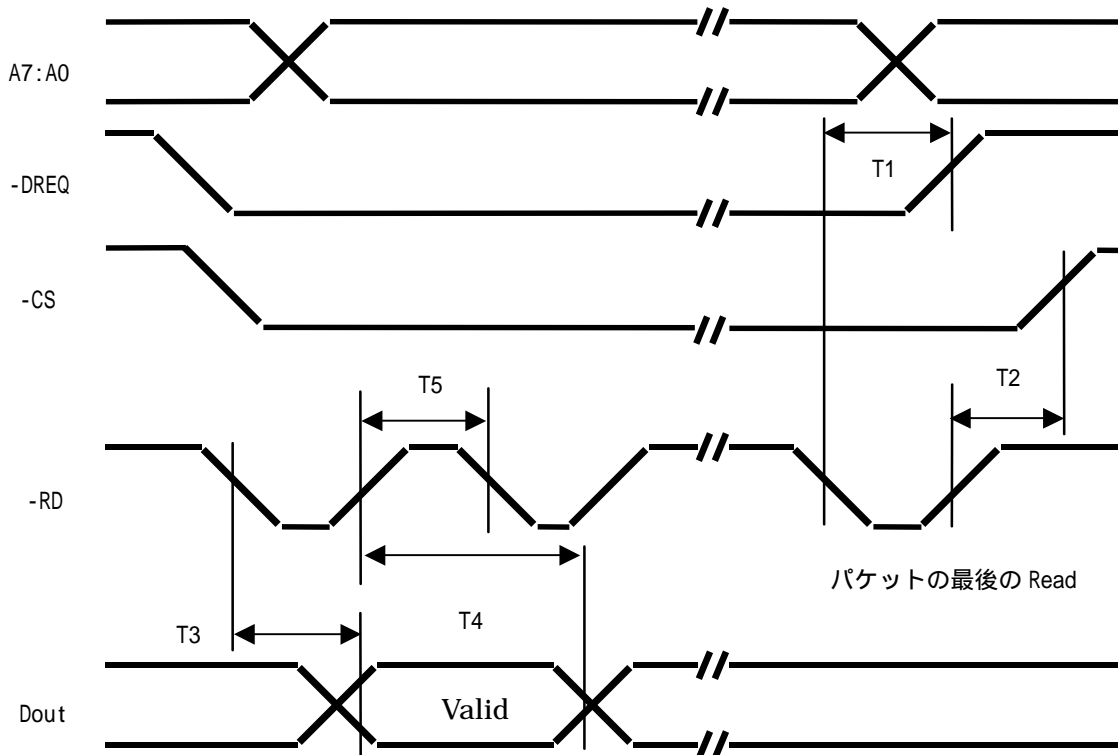
(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
CS ホールド時間	T2		0	-	ns	
リードデータ遅延時間	T3	負荷容量 CL= 20pF	-	46	ns	1
データホールド時間	T4	負荷容量 CL= 20pF	0	-	ns	
リカバリ時間	T5	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注 1) デュアルアドレスモードでは、DACK は無効。 T3 は -CS、-RD のうち遅い方のアクティブ変化から規定。 A7:A0 は FIFO アドレスを指定する。アドレスセットアップ、ホールド時間は READ タイミング(1)を参照。

(注 2) 発振クロック(周期 21ns)、3 クロック時間。

(注 3) 発振クロック(周期 21ns)、5 クロック時間。



Dout: 8bitDMA モード : AD7~AD0 端子

: 16bitDMA モード : AD7~AD0 端子、D15 ~ D8 端子

● DMA 転送タイミング (5)

メモリ ML60852A (シングル転送、シングルアドレスモード)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

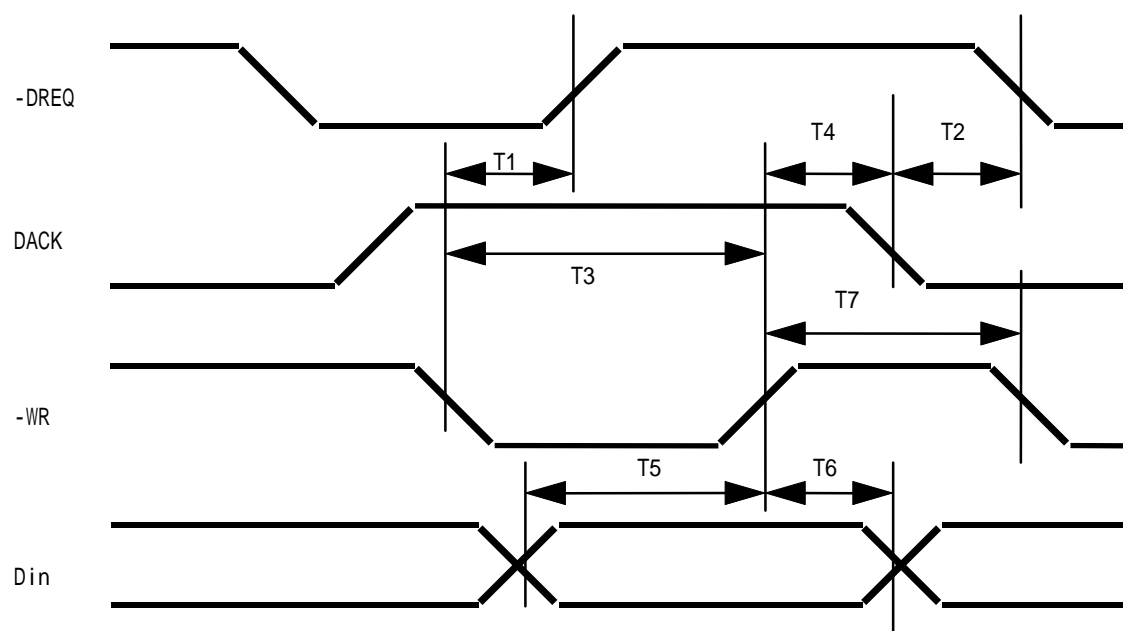
項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
DREQ イネーブル時間	T2	負荷容量 CL= 20pF	-	63	ns	4
FIFO アクセス時間	T3	FIFO WRITE 時	42	-	ns	1
DACK ホールド時間	T4		0	-	ns	
ライトデータセットアップ時間	T5		30	-	ns	
ライトデータホールド時間	T6		5	-	ns	
リカバリ時間	T7	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注 1) シングルアドレスモードのとき、-CS は“H”固定、A7:A0 は無効。

(注 2) 発振クロック(周期 21ns)、3 クロック時間。

(注 3) 発振クロック(周期 21ns)、5 クロック時間。

(注 4) T2 は DMA インターバルレジスタ(DMAINTVL) への設定で引き延ばすことができます。



Din : 8bit DMA モード : AD7~AD0 端子

16bitDMA モード : AD7~AD0 端子、D15~D8 端子

● DMA 転送タイミング (6)

メモリ ML60852A (シングル転送、デュアルアドレスモード)

(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

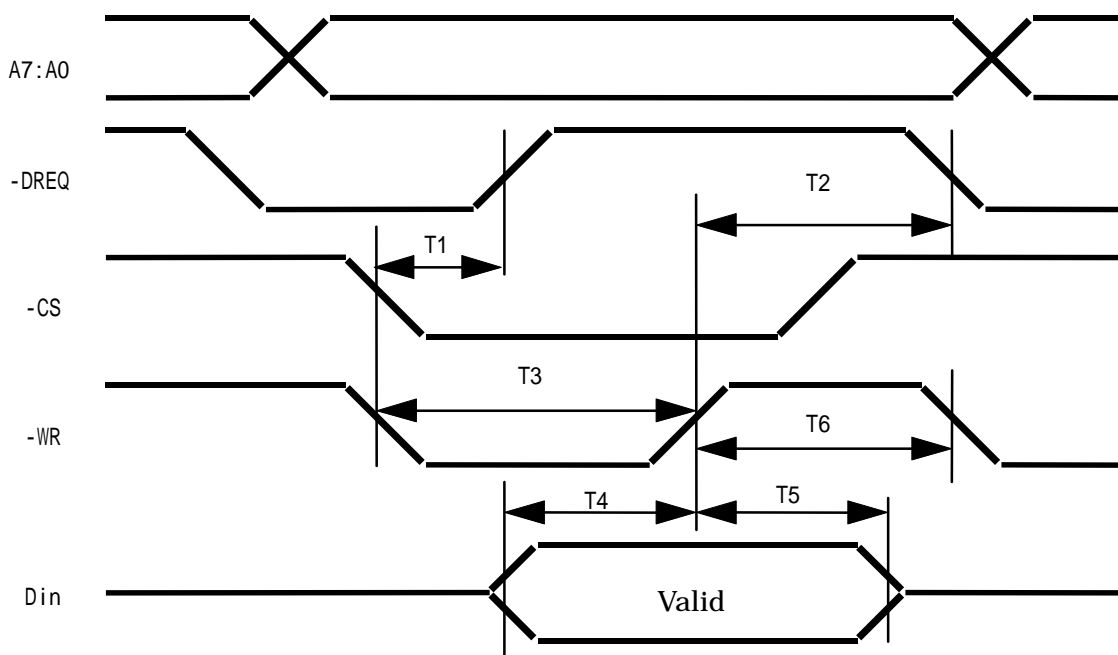
項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
DREQ イネーブル時間	T2	負荷容量 CL= 20pF	-	63	ns	4
FIFO アクセス時間	T3	FIFO WRITE 時	42	-	ns	1
ライトデータセットアップ時間	T4		30	-	ns	
ライトデータホールド時間	T5		5	-	ns	
リカバリ時間	T6	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注 1) デュアルアドレスモードでは DACK は無効。 T1、T3 は、-CS、-WR のうち遅い方のアクティブ変化から規定。
アドレスセットアップ、ホールド時間は WRITE タイミング(1)を参照。

(注 2) 発振クロック(周期 21ns)、3 クロック時間。

(注 3) 発振クロック(周期 21ns)、5 クロック時間。

(注 4) T2 は DMA インターバルレジスタ(DMAINTVL)への設定で引き延ばすことができます。



Din : 8bit DMA モード : AD7~AD0 端子

16bitDMA モード : AD7~AD0 端子、D15~D8 端子

● DMA 転送タイミング (7)

メモリ ML60852A (デマンド転送、シングルアドレスモード)

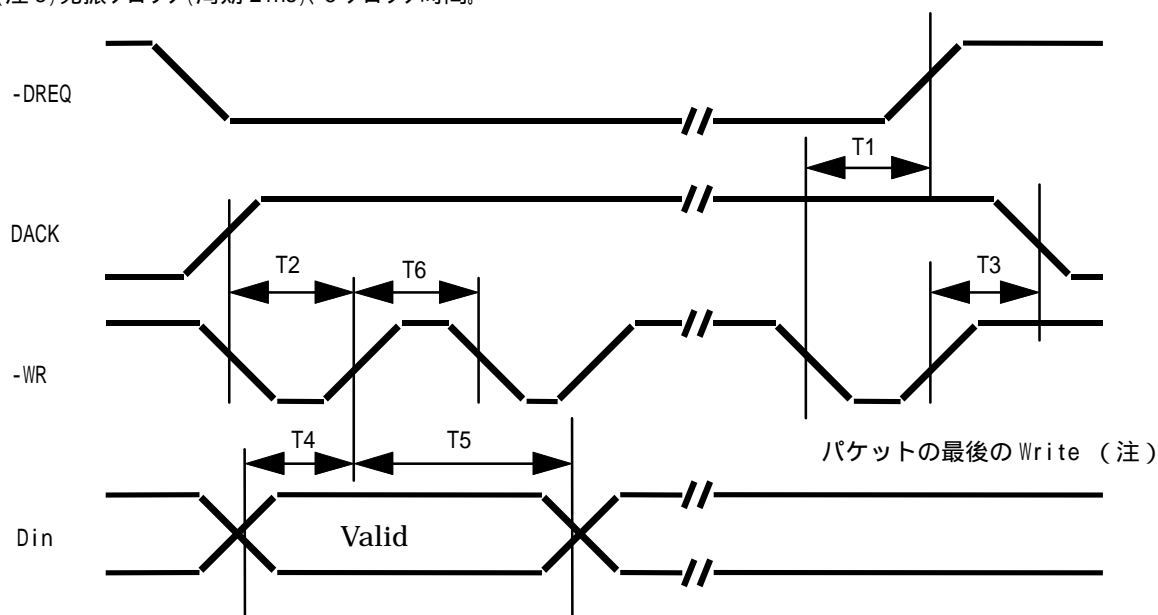
(VDD=3.0V ~ 3.6V、GND=0.0V、Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
FIFO アクセス時間	T2	FIFO WRITE 時	42	-	ns	1
DACK ホールド時間	T3		0	-	ns	
ライトデータセットアップ時間	T4		30	-	ns	
ライトデータホールド時間	T5		5	-	ns	
リカバリ時間	T6	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注 1) シングルアドレスモードのとき、-CS は”H”固定、A7:A0 は無効。 T2 は、DACK、-WR のうち遅い方のアクティブ変化から規定。

(注 2) 発振クロック(周期 21ns)、3 クロック時間。

(注 3) 発振クロック(周期 21ns)、5 クロック時間。



(注) EP1 ペイロードレジスタで指定したバイトサイズ(最大パケットサイズ)に到達する最後の Write。

これ以前に DMA 転送を終了させる場合は、エンドポイント・パケットレディ・レジスタの EP1 に対応するビットに 1 をライトして EP1 のパケットレディをセットします。

Din : 8 bit DMA モード : AD7~AD0 端子

16bit DMA モード : ADD7~AD0 端子、D15 ~ D8 端子。

DMA 転送タイミング (8)

メモリ ML60852A (デマンド転送、デュアルアドレスモード)

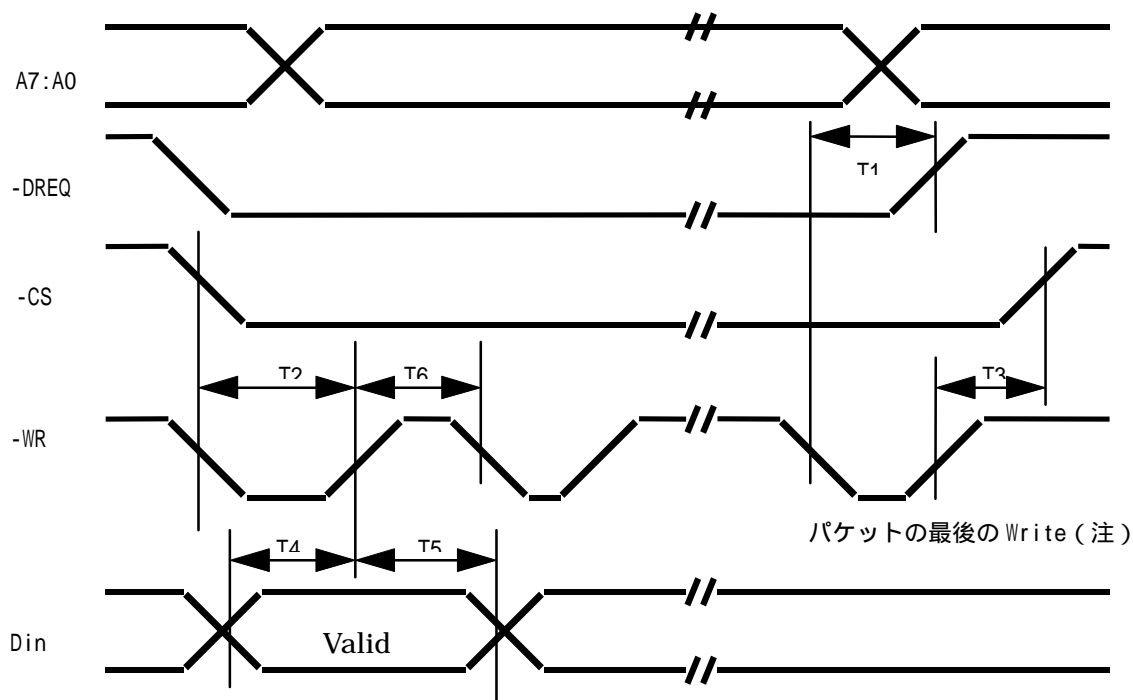
(VDD=3.0V ~ 3.6V, GND=0.0V, Ta=-20 ~ +80)

項目	記号	条件	Min.	Max.	単位	注
DREQ ディセーブル時間	T1	負荷容量 CL= 20pF	-	62	ns	
FIFO アクセス時間	T2	FIFO WRITE 時	42	-	ns	1
CS ホールド時間	T3		0	-	ns	
ライトデータセットアップ時間	T4		30	-	ns	
ライトデータホールド時間	T5		5	-	ns	
リカバリ時間	T6	8bit DMA 時	63	-	ns	2
		16bit DMA 時	105	-	ns	3

(注2) デュアルアドレスモードでは、DACK 信号は無効。A7:A0 は FIFO アドレスを指定する。アドレスセットアップ、ホールド時間は WRITE タイミング(1)を参照。T2 は、-CS、-WR のうち遅い方のアクティブ変化から規定。

(注3) 発振クロック(周期 21ns)、3 クロック時間。

(注4) 発振クロック(周期 21ns)、5 クロック時間。



(注) EP1 ペイロードレジスタで指定したバイトサイズ(最大パケットサイズ)に到達する最後の Write。

これ以前に DMA 転送を終了させる場合は、エンドポイント・パケットレディ・レジスタの EP1 に対応するビットに 1 をライトして EP1 のパケットレディをセットします。

Din : 8 bit DMA モード : AD7~AD0 端子

16bit DMA モード : AD7~AD0 端子、D15 ~ D8 端子。

変更履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL60852A-03	2001.11	-	-	正式 3 版発行
		-	1	動作温度保証範囲:-20°C ~ +80°C を追加。
		7	7	動作温度保証範囲を 0°C ~ 70°C から-20°C ~ +80°C に変更。
		8	8	同上
		9	9	同上
FJDL60852A-04	2002.3.13	-	-	正式 4 版発行
		56	56	クリア FIFO レジスタの説明追加
FJDL60852A-05	2002.7.10	-	-	正式 5 版発行
		-	-	電気的特性変更(テスト条件記載変更)
FJDL60852A 06	2002.8.6	-	-	正式 6 版発行
		-	-	電気的特性変更(セットアップタイム記載変更)

ご注意

1. 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
2. 本書に記載された動作概要及び応用回路例は、本製品の標準的な動作や使い方を説明するためのものです。したがって、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。
3. 設計に際しましては、**最大定格、動作電源電圧範囲、放熱特性など保証範囲内でお使いください。保証値を超えての使用など本製品の誤った使用または不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。**
4. 本製品及び本書に記載された情報や図面等の使用に関して、当社は、第三者の工業所有権・知的所有権及びその他の権利に対する保証または実施権の許諾を行うものではありません。したがって、その使用に起因する第三者の権利侵害に対し、当社は責任を負いかねますのでご了承ください。
5. 当社は品質、信頼性の向上に努めておりますが、部品の性格上、ある確率の欠陥、故障が不可避だと考えられます。当社製品をお使いの場合には、この様な故障が生じても直接人命を脅かしたり、身体または財産に危害を生じさせないよう、装置やシステム上で十分な安全設計をお願いします。
6. 本書記載の製品は、一般電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されることを意図しております。特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、身体または財産に危害を及ぼす恐れのある装置やシステム(交通機器、安全装置、航空・宇宙機器、原子力制御、生命維持装置を含む医療機器など)に使用をお考えのお客様は、必ず事前に当社販売窓口までご相談願います。
7. 本書に記載された製品には、「外国為替及び外国貿易管理法」に基づく戦略物資等に該当するものがあります。したがって、該当製品またはその一部を輸出する場合には、同法に基づく日本国政府の輸出許可が必要となりますので、その申請手続きをお取りください。
8. 本書に記載された内容を、当社に無断で転載または複製することはご遠慮ください。

Copyright 2002 OKI ELECTRIC INDUSTRY CO., LTD.

OKI 沖電気工業株式会社

お問い合わせ先

本社別館	〒108-8551	東京都港区芝浦 4 丁目 10 番 3 号(本社別館) シリコンソリューションカンパニー 営業本部	東京 (03)5445-6027 (直通) FAX (03)5445-6058 http://www.oki.com/semi/
東北支社	〒980-0811	仙台市青葉区一番町 3 丁目 1 番 1 号(仙台富士ビル)	仙台 (022)225-6605(代)
松本支店	〒390-0815	松本市深志 2 丁目 5 番 2 号(松本県信東邦生命ビル)	松本 (0263)36-7951(代)
中部支社	〒460-0003	名古屋市中区錦 1 丁目 11 番 20 号(大永ビル)	名古屋 (052)201-7008(代)
北陸支社	〒920-0981	金沢市片町 1 丁目 5 番 20 号(金沢福井ビル)	金沢 (0762)22-2600(代)
関西支社	〒541-0042	大阪市中央区今橋 4 丁目 2 番 1 号(大阪富士ビル)	大阪 (06)6226-1325(代)
中国支社	〒730-0013	広島市中区八丁堀 15 番 10 号(セントラルビル)	広島 (082)221-2209(代)
九州支社	〒810-0001	福岡市中央区天神 2 丁目 13 番 7 号(長銀ビル)	福岡 (092)771-9116(代)